

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0071424

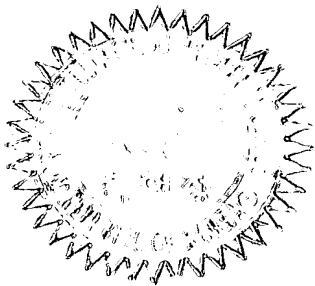
Application Number

출원년월일 : 2003년 10월 14일

Date of Application OCT 14, 2003

출원인 : 페어차일드코리아반도체 주식회사

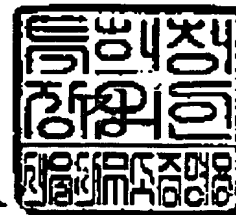
Applicant(s) FAIRCHILD KOREA SEMICONDUCTOR LTD.



2006년 02월 20일

특허청

COMMISSIONER



◆ This certificate was issued by Korean Intellectual Property Office. Please confirm any forgery or alteration of the contents by an issue number or a barcode of the document below through the KIPOnet- Online Issue of the Certificates' menu of Korean Intellectual Property Office homepage (www.kipo.go.kr). But please notice that the confirmation by the issue number is available only for 90 days.

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003. 10. 14
【국제특허분류】	H02M
【발명의 국문명칭】	자동 버스트모드 동작을 갖는 스위칭 파워서플라이의 제어 모듈회로
【발명의 영문명칭】	Control module circuit in switching power supply with automatic burst mode operation
【출원인】	
【명칭】	페어차일드코리아반도체 주식회사
【출원인코드】	1-1999-025205-6
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-049858-3
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-050077-7
【발명자】	
【성명의 국문표기】	최진호
【성명의 영문표기】	CHOI, Jin Ho
【주민등록번호】	730109-1273617
【우편번호】	121-773
【주소】	서울특별시 마포구 도화2동 도화현대2차아파트 207동 207호

【국적】 KR
【발명자】
【성명의 국문표기】 허동영
【성명의 영문표기】 HUH, Dong Young
【주민등록번호】 610328-1702711
【우편번호】 420-110
【주소】 경기도 부천시 원미구 원미동 두산아파트 101동 2105호
【국적】 KR
【우선권 주장】
【출원국명】 KR
【출원종류】 특허
【출원번호】 10-2002-0081391
【출원일자】 2002.12.18
【증명서류】 첨부
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

이영필 (인)

대리인

정상빈 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	39 면	39,000 원
【우선권주장료】	1 건	26,000 원
【심사청구료】	0 항	0 원
【합계】	94,000 원	

【첨부서류】 1.요약서·명세서(도면)_1통 2.우선권증명서류 및 동 번역문_1통

【요약서】

【요약】

본 발명의 스위칭 파워서플라이의 제어모듈회로는, 정상동작모드와 대기모드를 가지며, 출력전압에 반비례하는 피드백전압을 통해 스위칭소자의 스위칭동작을 제어하기 위한 것이다. 이 제어모듈회로는 전압설정수단 및 스위칭제어신호발생수단을 구비한다. 전압설정수단은, 대기모드시 피드백전압의 변화에 따라 스위칭소자가 스위칭온동작을 수행하도록 하기 위한 제1 전압과, 스위칭소자가 스위칭오프동작을 수행하도록 하기 위한 제2 전압을 제공한다. 스위칭제어신호발생수단은, 전압설정수단으로부터 제1 전압이 발생하는 경우 스위칭소자를 스위칭온시키는 제어신호를 발생하고, 전압설정수단으로부터 제2 전압이 발생하는 경우 스위칭소자를 스위칭오프시키는 제어신호를 발생하는 스위칭제어신호발생수단을 구비한다.

【대표도】

도 2

【명세서】

【발명의 명칭】

자동 버스트모드 동작을 갖는 스위칭 파워서플라이의 제어모듈회로{Control module circuit in switching power supply with automatic burst mode operation}

【도면의 간단한 설명】

- <1> 도 1은 버스트모드로 동작할 수 있는 스위칭 파워서플라이의 일 예를 나타내 보인 회로도이다.
- <2> 도 2는 본 발명의 제1 실시예에 따른 제어모듈회로를 나타내 보인 회로도이다.
- <3> 도 3 및 도 4는 본 발명에 따른 제어모듈회로의 일부 입력신호들 및 일부 출력신호들의 파형을 나타내 보인 타이밍도이다.
- <4> 도 5는 도 2의 제어모듈회로에서의 피드백전압과 드레인-소스 전류의 최대값 사이의 관계를 나타내 보인 그래프이다.
- <5> 도 6은 본 발명의 제2 실시예에 따른 제어모듈회로를 나타내 보인 회로도이다.
- <6> 도 7 및 도 8은 본 발명의 제3 실시예에 따른 제어모듈회로를 나타내 보인 회로도이다.
- <7> 도 9는 도 7 및 도 8의 제어모듈회로의 일부 입력신호들 및 일부 출력신호들의 파형을 나타내 보인 타이밍도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 스위칭 파워서플라이에 관한 것으로서, 특히 대기모드시 최대전류 값을 제한하고 버스트동작시 대기모드에서 정상동작모드로의 전환이 용이해진 자동 버스트동작모드를 갖는 스위칭 파워서플라이의 제어모듈회로에 관한 것이다.

<9> 일반적으로 스위칭파워서플라이는, 하나의 직류공급전압을 하나 이상의 직류 출력전압으로 변환시키기 위한 장치를 의미한다. 이때 직류출력전압은 공급전압보다 크거나 또는 더 작은 크기를 갖는다. 이와 같은 스위칭 파워서플라이는, 파워 전자장치들, 특히 이동전화, 랩탑컴퓨터 등과 같은 배터리 파워공급장치들에 주로 사용된다. 이 파워전자장치들은, 상대적으로 큰 파워를 소모하는 정상동작모드(normal operation mode)와 상대적으로 적은 파워를 소모하는 대기모드(stand-by mode)를 갖는다. 이 파워전자장치들은, 사용자가 일정시간동안 그 장치들을 사용하지 않는 경우 자동으로 대기모드로 진입하고, 사용자가 그 장치들을 사용하게 되면 다시 정상동작모드로 들어간다.

<10> 대부분의 전자장치에 있어서, 대기모드에서의 소비전력량은 정상동작모드에서의 소비전력량에 비하여 매우 적은데, 최근에는 대기모드에서의 소비전력량을 보다 더 감소시키기 위해 대기모드의 입력전력(input power)에 대한 규제가 점점 강화되고 있다. 종래에는 상기 규제를 만족시키기 위해 파워서플라이의 출력전압을

감소시키거나, 또는 별도의 보조파워장치들을 이용하여 대기모드시의 소비전력량을 감소시켰다. 그러나 이와 같은 종래의 접근방식은 바람직하지 않은데, 그 이유는 부가적인 구성요소들이 요구되고, 이에 따라 제품비용이 증대되기 때문이다. 또 다른 이유로는 전자장치들이 동작하지 않을 정도로 낮은 출력전압들이 나타날 가능성이 있으며, 이에 따라 소비전력량을 감소시킬 수 있는 양이 제한되기 때문이다. 이 외에도 종래의 스위칭 파워서플라이가 대기모드일 때, 비록 감소된 출력전압에 의해 소비전력량이 감소되더라도 스위칭 파워서플라이 내에서 발생하는 실질적인 스위칭손실이 발생하는 것은 필연적이다. 또한 종래의 스위칭 파워서플라이는, 출력단에서의 파워요구변화를 보상하고, 공급되는 파워량에 무관한 일정 주파수로 동작할 수 있도록, 파워스위치의 듀티사이클(duty cycle)을 변화시킨다. 그 결과, 대기모드시 스위칭 파워서플라이 내부의 파워스위치는 대기모드시에도 정상동작모드일 때와 동일한 주파수로 온/오프 스위칭 동작을 수행하게 된다. 이와 같은 스위칭동작은 상당한 양의 소비전력량을 발생시키고, 이로 인하여 대기모드에서의 파워소모의 낮은 한계값이 상당히 증가하게 된다.

<11>

최근 정상동작모드와 대기동작을 가능하게 하는 저파워 버스트모드를 제공하는 능동회로(active circuitry)를 사용하는 스위칭 파워서플라이가 제안된 바 있다. 이 스위칭 파워서플라이의 회로구조 및 동작은, 미합중국 특허번호 제6,252,783호에 상세하게 개시되어 있다. 정상동작모드에서, 상기 능동회로는 스위칭 파워서플라이의 출력전압을 기존의 스위치드라이버회로(또는 제어모듈회로)와 결합시킨다. 이 스위치드라이버회로는, 스위칭 파워서플라이의 출력전압이 바람직

한 레벨까지 조절되도록 고정된 주파수의 스위치드라이버출력의 듀티사이클을 변화시킨다. 저파워버스트모드로 동작시, 상기 능동회로는, 스위칭 파워서플라이의 출력전압을 스위치드라이버회로로부터 분리시키고, 스위치드라이버로 주기적인 신호를 인가한다. 이 주기적인 신호에 의해, 상기 스위치드라이버는 스위치드라이버의 출력이 비활성화, 즉 턴 오프되는 시간간격이 중간에 배치되도록 고정된 주파수의 출력신호를 공급한다. 또한 저파워 버스트모드로 동작시, 상기 능동회로는 스위치드라이버로 입력신호를 인가하고, 이에 따라 스위치드라이버는, 최소 듀티사이클인 고정된 주파수로 반복적으로 스위치온되고 스위치오프된다. 이 스위치드라이버의 최소듀티사이클인 고정된 주파수출력을 공급하는 버스트동작모드는 적절하게 제어되며, 이에 따라 스위치드라이버로 공급되는 전압은 두 개의 기준전압 사이에서 변화된다.

<12> 이와 같은 저파워 버스트모드 스위칭 파워서플라이는 대기모드시에 일정시간 동안 스위칭을 수행하고 다시 일정시간동안 스위칭을 멈추는 동작을 통해 스위칭손실을 감소시켜 입력파워를 감소시킬 수 있다. 또한 적은 부품을 사용하여 대기모드시의 출력전압을 정상동작모드인 경우보다 더 낮게 유지할 수 있으며, 대기모드시에 출력전압에 관계없이 일정한 주기의 버스트모드로 스위치의 스위칭동작을 제어할 수 있다는 장점을 제공한다.

<13> 그러나 상기와 같은 저파워 버스트모드 스위칭 파워서플라이의 경우, 최대전류값이 증가할 경우 소음(audible noise)이 발생할 수 있다는 문제가 있다. 최대전류값은 스위칭손실에 대한 비중이 증가할수록 증가하는 경향이 있다. 스위칭 파

워터플라이의 손실은 스위칭손실 외에도 전도손실(conduction loss) 및 코어손실(core loss)이 있다. 가벼운 부하(light load)를 사용할 경우, 상기 소음이 발생할 가능성이 증가하게 되며, 최대전류값이 증가함에 따라 소비전력량도 증대된다는 문제가 발생한다.

【발명이 이루고자 하는 기술적 과제】

<14> 본 발명이 이루고자 하는 기술적 과제는 출력전압의 변화에 관계없이 최대전류값을 일정크기 이하로 유지할 수 있도록 하며, 또한 버스트모드에서 정상동작모드로의 변환이 용이하고 오동작이 일어나지 않도록 하는 자동 버스트모드 동작을 갖는 스위칭 파워서플라이의 제어모듈회로를 제공하는 것이다.

【발명의 구성】

<15> 상기 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 스위칭 파워서플라이의 제어모듈회로는, 정상동작모드와 대기모드를 가지며, 출력전압에 반비례하는 피드백전압을 통해 스위칭소자의 스위칭동작을 제어하는 스위칭 파워서플라이의 제어모듈회로에 있어서, 상기 대기모드시 상기 피드백전압의 변화에 따라 상기 스위칭소자가 스위칭온동작을 수행하도록 하기 위한 제1 전압과, 상기 스위칭소자가 스위칭오프동작을 수행하도록 하기 위한 제2 전압을 제공하는 전압설정 수단; 및 상기 전압설정수단으로부터 상기 제1 전압이 발생하는 경우 상기 스위칭소자를 스위칭온시키는 제어신호를 발생하고, 상기 전압설정수단으로부터 상기 제2 전압이 발생하는 경우 상기 스위칭소자를 스위칭오프시키는 제어신호를 발생하는

스위칭 제어신호발생수단을 구비하는 것을 특징으로 한다.

<16> 상기 전압설정수단은, 제1 및 제2 정전류원; 상기 피드백전압과 제1 또는 제2 피드백기준전압을 비교하고 비교결과에 따라 하이레벨의 출력신호 또는 로우레벨의 출력신호를 발생하는 제1 비교기; 상기 피드백전압과 상기 제2 피드백기준전압보다 큰 제3 피드백기준전압을 비교하고 비교결과에 따라 하이레벨의 출력신호 또는 로우레벨의 출력신호를 발생하는 제2 비교기; 상기 제1 비교기의 출력신호에 따라 턴온 또는 턴오프되는 트랜지스터; 상기 제1 비교기 및 제2 비교기의 출력신호를 각각 S단자 및 R단자로 입력받아 출력단자로 출력신호를 발생시키는 RS플립플롭; 상기 RS플립플롭의 출력단자와 상기 트랜지스터의 컬렉터단자 또는 상기 RS플립플롭의 출력단자를 선택적으로 연결시키는 온/오프동작을 수행하되, 상기 피드백전압이 증가하더라도 상기 제2 정전류원으로부터 공급되는 전류량 조절에 의해 상기 제1 전압이 발생되도록 하는 제1 스위치; 및 상기 트랜지스터의 온/오프상태, 상기 제1 스위치의 온/오프동작에 의해 상기 제1 전압 또는 제2 전압이 인가되는 접점 양쪽에 배치되는 제1 저항기 및 제2 저항기를 포함하는 것이 바람직하다.

<17> 상기 제1 저항기의 양단은 상기 트랜지스터의 컬렉터단자와 상기 접점에 연결되고 상기 제2 저항기의 양단은 상기 접점과 접지단자 사이에 연결되는 것이 바람직하다.

<18> 상기 피드백전압이 인가되는 단자와 상기 트랜지스터의 컬렉터단자 사이에 순차적으로 배치된 제1 다이오드 및 제2 다이오드를 더 구비하되, 상기 제1 다이오드의 캐소드 및 애노드는 상기 피드백전압이 인가되는 단자 및 상기 제2 다이오드

의 애노드에 각각 연결되고, 상기 제2 다이오드의 캐소드는 상기 트랜지스터의 컬렉터단자에 연결되는 것이 바람직하다.

<19> 이 경우 상기 제1 전류원과 상기 제2 다이오드 및 제2 다이오드 사이의 접점, 또는 상기 제1 전류원과 상기 RS플립플롭의 출력단자를 선택적으로 연결시키기 위한 제2 스위치; 및 상기 제1 전류원과 상기 피드백전압이 인가되는 단자 및 상기 제1 다이오드 사이의 접점, 또는 상기 제1 전류원과 상기 RS플립플롭의 출력단자를 선택적으로 연결시키기 위한 제3 스위치를 더 구비하는 것이 바람직하다.

<20> 상기 스위칭제어신호발생수단은, 상기 전압설정수단에 의해 설정된 제1 전압 또는 제2 전압을 반전단자로 입력받고, 상기 스위칭소자를 흐르는 전류에 대응되는 감지전압을 비반전단자에 입력받는 제3 비교기; 상기 제3 비교기의 출력에 따라 상기 스위칭소자의 온/오프 제어신호를 발생시키는 게이트드라이버; 및 상기 게이트드라이버로 상기 스위칭소자의 스위칭듀티를 결정하는 제어신호를 공급하는 오실레이터를 포함하는 것이 바람직하다.

<21> 상기 기술적 과제를 달성하기 위하여, 본 발명의 다른 실시예에 따른 스위칭 파워서플라이의 제어모듈회로는, 정상동작모드와 대기모드를 가지며, 출력전압에 반비례하는 피드백전압을 통해 스위칭소자의 스위칭동작을 제어하는 스위칭 파워서플라이의 제어모듈회로에 있어서, 소정의 제1 제어신호에 의해 상기 피드백전압이 비례하는 제1 전압을 공급하는 제1 전압공급수단; 소정의 제2 제어신호에 의해 일정한 크기의 제2 전압을 공급하는 제2 전압공급수단; 상기 피드백전압의 크기에 따라 상기 제1 전압 및 제2 전압 중 어느 하나를 발생시키거나 또는 어느 하나도

발생시키지 않도록 상기 제1 제어신호 및 제2 제어신호를 발생시키는 제어신호발생 수단; 상기 제1 전압 및 제2 전압 중 어느 하나를 입력받아 출력시키거나 또는 어느 신호도 입력받지 않아 출력신호를 발생시키지 않는 선택기; 및 상기 선택기로부터의 출력신호에 의해 스위칭 파워서플라이의 스위칭트랜지스터의 스위칭제어신호를 발생시키는 스위칭제어신호발생수단을 구비하는 것을 특징으로 한다.

<22> 상기 제1 전압공급수단은, 제1 정전류원; 상기 정전류원과 상기 피드백전압 입력단자 사이에 배치되되, 상기 정전류원으로부터 상기 피드백전압 입력단자를 향해 순방향으로 배치되는 제1 다이오드; 상기 제1 다이오드와 반대방향으로 배치되는 제2 다이오드; 상기 제2 다이오드의 애노드와 연결된 베이스단자와 출력단자로서 상기 선택기에 연결되는 에미터단자를 갖는 제1 트랜지스터; 및 상기 제1 제어신호를 입력받는 베이스단자, 상기 제1 트랜지스터의 에미터단자와 직접 연결되는 컬렉터단자, 그리고 접지단자에 연결되는 에미터단자를 갖는 제2 트랜지스터를 포함하는 것이 바람직하다.

<23> 상기 제2 전압공급수단은, 제2 정전류원; 상기 정전류원과 연결된 베이스단자와 출력단자로서 상기 선택기에 연결되는 에미터단자를 갖는 제3 트랜지스터; 및 상기 제2 제어신호를 입력받는 베이스단자, 상기 제2 트랜지스터의 에미터단자와 직접 연결되는 컬렉터단자, 그리고 접지단자에 연결되는 에미터단자를 갖는 제4 트랜지스터를 포함하는 것이 바람직하다.

<24> 상기 제어신호발생수단은, 상기 피드백전압이 제1 피드백기준전압보다 작은 경우 버스트전류제한모드로의 동작이 수행되도록 상기 제1 및 제2 제어신호를 발생

시키고, 상기 피드백전압이 상기 제1 피드백기준전압보다 작은 제2 피드백기준전압보다도 더 작아지는 경우 스위칭동작이 수행되지 않도록 상기 제1 및 제2 제어신호를 발생시키는 것이 바람직하다.

<25>

상기 제어신호발생수단은, 상기 피드백전압을 비반전단자로 입력받고 상기 제1 피드백기준전압을 반전단자로 입력받는 연산증폭기로 이루어진 제1 비교기; 상기 피드백전압을 반전단자로 입력받고 상기 제2 피드백기준전압을 비반전단자로 입력받는 연산증폭기로 이루어진 제2 비교기; 상기 제1 비교기의 출력을 반전하고 그 결과를 상기 제1 제어신호로서 공급하는 인버터; 상기 제1 비교기의 출력 및 상기 제2 비교기의 출력을 각각 S단자 및 R단자로 입력받고 출력단자로 출력신호를 발생시키는 RS플립플롭; 및 상기 제1 비교기의 출력신호와 상기 RS플립플롭의 출력신호를 입력받아 OR연산을 수행한 후 그 결과를 상기 제2 제어신호로서 공급하는 OR게이트를 구비하는 것이 바람직하다.

<26>

상기 선택기는, 상기 제1 전압이 입력되는 베이스단자를 구비하는 제5 트랜지스터 및 상기 제2 전압이 입력되는 베이스단자를 구비하는 제6 트랜지스터를 포함하며, 상기 제5 트랜지스터 및 제6 트랜지스터의 에미터단자는 공통으로 연결되어 상기 스위칭제어신호발생수단으로의 출력단자로 사용되는 것이 바람직하다.

<27>

상기 스위칭제어신호발생수단은, 상기 선택기로부터의 출력신호를 반전단자로 입력받고, 상기 스위칭소자를 흐르는 전류에 대응되는 감지전압을 비반전단자에 입력받는 제3 비교기; 상기 제3 비교기의 출력에 따라 상기 스위칭소자의 온/오프 제어신호를 발생시키는 게이트드라이버; 및 상기 게이트드라이버로 상기 스위칭소

자의 스위칭듀티를 결정하는 제어신호를 공급하는 오실레이터를 포함하는 것이 바람직하다.

<28> 이하 첨부도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나 본 발명의 실시예들은 여러가지 다른 형태들로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 한정되어지는 것으로 해석되서는 안된다.

<29> 도 1은 버스트모드로 동작할 수 있는 스위칭 파워서플라이의 일 예를 나타내 보인 회로도이다.

<30> 도 1을 참조하면, 상기 스위칭 파워서플라이는, 전원공급을 위한 전원공급부(100)와, 출력전압을 피드백시키기 위한 피드백회로부(200)와, 전원공급부(100) 내의 스위치의 동작을 제어하는 스위칭제어부(300)와, 그리고 동작모드를 설정하기 위한 모드설정부(400)를 포함하여 구성된다.

<31> 전원공급부(100)는, 브리지다이오드회로(BD), 1차코일(L1), 필터커패시터(C_{in}), 모스전계효과트랜지스터(Q_{sw}) 및 전류센스저항기(R_{sense})를 포함한다. 브리지다이오드회로(BD)는 교류입력전원(AC)을 풀웨이브(full wave) 정류시켜 직류로 출력시킨다. 1차코일(L1)은 공급전압(V_{in}) 및 모스전계효과트랜지스터(Q_{sw})에 각각 연결된다. 필터커패시터(C_{in})는 브리지다이오드회로(BD)로부터의 전류펄스를 필터링하여 공급전압(V_{in})이 실질적인 직류전류전압이 되도록 한다. 모스전계

효과트랜지스터(Q_{sw})는 파워스위치로 사용되며, 제어모듈(310)의 제어신호에 따른 스위칭동작을 수행한다. 그리고 전류센스저항기(R_{sense})는 제어모듈(310)로 전류피드백을 공급하기 위해 사용된다.

<32> 상기 피드백회로부(200)는, 포토트랜지스터(PC_2) 및 커패시터(C_{fb})를 포함한다. 포토트랜지스터(PC_2)는 모드설정부(400)의 포토다이오드(PC_1)와 함께 포토커플러를 이루며, 따라서 포토다이오드(PC_1)를 흐르는 전류값에 따라 일정 크기의 전류를 발생시킨다. 커패시터(C_{fb})는 포토트랜지스터(PC_2)에 의해 흐르는 전류량에 따라 충전값이 변화하게 되며, 이에 따라 피드백전압(V_{fb})을 변화시킨다. 결국 피드백전압(V_{fb})은 모드설정부(400)에 의해 설정된 모드전압값에 의해 변화되며, 변화된 값은 스위칭제어부(300)로 입력된다.

<33> 상기 스위칭제어부(300)는, 제어모듈(310), 커패시터(C_2), 다이오드(D_2) 및 2차코일(L_3)을 포함한다. 제어모듈(310)은 피드백전압(V_{fb})과 함께 모스전계효과트랜지스터(Q_{sw})의 드레인-소스 사이를 흐르는 전류량을 감지하는 감지전압(V_{sense}) 및 커패시터(C_2)의 충전전압(V_{cc})을 입력받고, 입력된 이 신호들에 따라 적절한 스위칭 제어신호를 발생시켜 모스전계효과트랜지스터(Q_{sw})의 스위칭동작을 제어한다. 2차코일(L_3)은 전원공급부(100)의 스위칭동작으로부터 에너지를 받아서 전류펄스들을

발생시킨다. 커패시터(C_2) 및 다이오드(D_2)는 2차코일(L_3)에 의해 발생된 전류펄스들을 정류 및 평활하여 실질적인 직류전류공급전압(V_{cc})이 제어모듈(310)로 공급되도록 한다.

<34> 상기 모드설정부(400)는, 복수개의 저항기들(R_1 , R_2 , R_3 , R_6 및 R_7), 다이오드들(D_1 , D_3), 커패시터들(C_1 , C_{ref}), 트랜지스터(Q_1), 오차증폭기(Amp_1) 및 포토다이오드(PC_1)를 포함한다. 저항기(R_6 및 R_7), 다이오드(D_3) 및 트랜지스터(Q_1)는 스위치 기능을 수행한다. 특히 저항기(R_6 및 R_7)는 트랜지스터(Q_1)에 적절한 바이어스가 인가되도록 하는데 사용된다. 저항기(R_1 , R_2 , R_3)는 분배전압인 모드제어전압(V_a)을 결정하는데 사용된다. 이 모드제어전압(V_a)은 정상동작모드인지 대기모드인지의 여부에 따라 각각 아래의 수학식 1 및 수학식 2에 의해 결정된다.

【수학식 1】

$$V_a = V_{out} \times \frac{R_2}{R_1 + R_2} \quad (\text{정상동작모드인 경우})$$

<35>

【수학식 2】

$$V_a = V_{out} \times \frac{R_2}{(R_1 // R_3) + R_2} \quad (\text{대기모드인 경우})$$

<36>

<37> 상기 수학식 2에서 R_1/R_2 는 $\frac{R_1 R_3}{R_1 + R_3}$ 를 나타낸다.

<38> 오차증폭기(Amp₁)로 사용되는 연산증폭기는 모드제어전압(V_a)이 인가되는 반전단자와 기준전압(V_{ref})이 인가되는 비반전단자를 갖는다. 그 출력단자는 포토다이오드(PC₁)의 애노드에 연결된다. 결과적으로 오차증폭기(Amp₁)는 입력되는 모드제어전압(V_a)과 기준전압(V_{ref})의 비교에 의해 포토다이오드(PC₁)의 동작여부를 결정한다. 포토다이오드(PC₁)는 피드백회로부(200)의 포토트랜지스터(PC₂)와 함께 포토커플러를 구성하며, 모드제어전압(V_a)의 기준전압(V_{ref})과의 상대적인 크기에 따라 동작하거나 또는 동작하지 않는다.

<39> 이와 같은 회로구조를 갖는 스위칭 파워서플라이의 동작을 설명하면 다음과 같다.

<40> 정상동작모드시, 브리지다이오드회로(BD)에 의해 교류입력전원(AC)이 풀웨이브정류된 직류전류공급전압(V_{in})이 1차코일(L₁)에 공급된다. 1차코일(L₁)에 인가된 공급전압(V_{in})은 모스전계효과트랜지스터(Q_{sw})의 스위칭동작을 통해 일정 듀티사이클로 2차코일(L₂)에 출력전압(V_{out})을 발생시킨다. 여기서 모스전계효과트랜지스터(Q_{sw})의 스위칭동작의 듀티사이클은 제어모듈(310)로부터 출

력되는 모스전계효과트랜지스터의 게이트구동신호에 의해 결정된다. 2차코일(L_2)에 발생하는 출력전압(V_{out})은 스위칭 파워서플라이가 채택된 전자장치의 정상동작이 가능할 정도의 크기를 갖는다.

<41>

한편 출력전압(V_{out})을 일정하게 유지시키기 위해서는 모스전계효과트랜지스터(Q_{sw})의 스위칭동작의 듀티를 적절하게 제어하여야 하며, 이를 위하여 출력전압(V_{out})이 피드백되어야 하고, 이 피드백된 출력전압(V_{out})값을 상기 듀티를 제어하는데 이용하여야 한다. 이 과정을 설명하면, 먼저 정상동작모드임을 알리는 하이(high)신호가 트랜지스터(Q_1)의 베이스단자에 인가되어 트랜지스터(Q_1)가 턴 온 된다. 트랜지스터(Q_1)가 턴 온 되면 다이오드(D_5)에 역방향 바이어스가 인가되는 상태가 된다. 역방향 바이어스가 인가된 다이오드(D_5)는 턴 오프되고, 이에 따라 오차증폭기(Amp_1)의 반전단자에 인가되는 모드제어전압(V_a)은 수학적 식 1에 따라 결정 된다. 오차증폭기(Amp_1)는 모드제어전압(V_a)을 일정크기로 증폭시킨 후에 포토다이오드(PC_1)로 입력시킨다. 포토다이오드(PC_1)와 포토트랜지스터(PC_2)는 포토커플러를 구성하므로, 포토트랜지스터(PC_2)에는 다이오드(PC_1)에 입력되는 입력값, 즉 오차증폭기(Amp_1)의 출력값에 대응되는 크기를 갖는 전류가 흐른다. 이 전류에 의해 피드백커패시터(C_{fb})가 충전되며, 피드백저항(C_{fb})의 충전량에 따라

피드백전압(V_{fb})의 크기가 결정된다. 결론적으로 피드백전압(V_{fb})은 모드제어전압(V_a)의 크기에 반비례하면서 대응되는 크기를 갖는다. 이 피드백전압(V_{fb})은 제어모듈(310) 내에 입력된다.

<42>

상기 피드백전압(V_{fb}) 외에도 커패시터(C_2)의 충전전압(V_{cc})도 제어모듈(310)에 입력된다. 정상동작모드시 1차코일(L_1)에 인가된 공급전압(V_{in})은, 스위칭제어부(300)의 차코일(L_3)에 권선전압이 유기되도록 하며, 이에 따라 커패시터(C_2)에 충전되는 전압(V_{cc})은 상대적으로 큰 크기로 제어모듈(310)로 입력된다. 이 외에도 제어모듈(310)로 모스전계효과트랜지스터(Q_{sw})의 드레인-소스 사이를 흐르는 전류량을 감지하는 감지전압(V_{sense})도 입력된다. 피드백전압(V_{fb}), 커패시터(C_2)의 충전전압(V_{cc}) 및 감지전압(V_{sense})을 입력받은 제어모듈(410)은, 게이트전압(V_g)을 모스전계효과트랜지스터(Q_{sw})의 게이트단자로 출력시킴으로써, 정상동작모드가 유지될 수 있도록 모스전계효과트랜지스터(Q_{sw})의 스위칭동작을 제어한다.

<43>

다음에 대기모드시, 브리지다이오드회로(BD)에 의해 교류입력전원(AC)이 풀웨이브 정류된 직류전류공급전압(V_{in})이 1차코일(L_1)에 공급된다. 1차코일(L_1)에 인가된 공급전압(V_{in})은 모스전계효과트랜지스터(Q_{sw})의 스위칭동작을 통해 일정 듀티사이클로 2차코일(L_2)에 출력전압(V_{out})을 발생시킨다. 여기서 모스전계효과트랜

지스터(Q_{sw})의 스위칭 동작의 듀티사이클은 제어모듈(310)로부터 출력되는 모스전계 효과트랜지스터의 게이트구동신호에 의해 결정된다. 2차코일(L_2)에 발생하는 출력 전압(V_{out})의 크기는 스위칭 파워서플라이가 채택된 전자장치의 대기동작이 가능할 정도의 크기이며, 이 크기는 정상동작모드에서의 출력전압(V_{out})에 비하여 상대적으로 작은 크기이다.

<44>

한편 정상동작모드에서와 마찬가지로 대기모드에서도, 상기 출력전압(V_{out})을 일정하게 유지시키기 위해서는 모스전계효과트랜지스터(Q_{sw})의 스위칭 동작의 듀티를 적절하게 제어하여야 하며, 이를 위하여 출력전압(V_{out})이 피드백되어야 하고, 이 피드백된 출력전압(V_{out})값을 상기 듀티를 제어하는데 이용하여야 한다. 이 과정을 보다 상세하게 설명하면, 먼저 대기모드임을 알리는 로우(low)신호가 트랜지스터(Q_1)의 베이스단자에 인가되어 트랜지스터(Q_1)가 턴오프된다. 트랜지스터(Q_1)가 턴오프되면 다이오드(D_5)에 순방향바이어스가 인가되는 상태가 된다. 순방향바이어스가 인가된 다이오드(D_5)는 턴온되고, 이에 따라 오차증폭기(Amp_1)의 반전단자에 인가되는 모드제어전압(V_a)은 수학식 2와 같다. 수학식 1과 수학식 2를 비교해보면, 대기모드시의 모드제어전압(V_a)은 정상동작모드시의 모드제어전압(v_a)보다 상대적으로 큰 값을 갖는다는 것을 알 수 있다. 오차증폭기(Amp_1)는 모드제어

전압(V_a)을 정상동작모드시보다 매우 큰 크기로 증폭시킨 후에 포토다이오드(PC_1)로 입력시킨다. 포토다이오드(PC_1)와 포토트랜지스터(PC_2)는 포토커플러를 구성하므로, 포토트랜지스터(P_{12})에는 포토다이오드(PC_1)에 입력되는 입력값, 즉 오차증폭기(Amp_1)의 출력값에 대응되는 크기를 갖는 전류가 흐른다. 이 전류에 의해 피드백커패시터(C_{fb})가 충전되며, 피드백커패시터(C_{fb})의 충전량에 따라 피드백전압(V_{fb})의 크기가 결정된다. 결론적으로 피드백전압(V_{fb})은 모드제어전압(V_a)의 크기에 반비례하면서 대응되는 크기를 갖는다. 따라서 대기모드시의 모드제어전압(V_a)이 정상동작모드시의 모드제어전압(V_a)보다 상대적으로 큰 값을 가지므로, 대기모드시의 피드백전압(V_{fb})은 정상동작모드시의 피드백전압(V_{fb})보다 상대적으로 작게 되며, 실질적으로 거의 0에 가까운 크기를 갖게 된다. 이 피드백전압(V_{fb})은 제어모듈(310) 내로 입력된다.

<45>

상기 피드백전압(V_{fb}) 외에도 커패시터(C_2)의 충전전압(V_{cc})도 제어모듈(310)에 입력된다. 대기모드시 1차코일(L_1)에 인가된 공급전압(V_{in})은, 스위칭제어부(300)의 2차코일(L_3)에 권선전압이 유기되도록 하며, 이에 따라 커패시터(C_2)에 충전되는 전압(V_{cc})은 상대적으로 작은 크기로 제어모듈(310)로 입력된다. 이 외에도 제어모듈(310)로 모스전계효과트랜지스터(Q_{sw})의 드레인-소스 사이를 흐

르는 전류량을 감지하는 감지전압(V_{sense})도 입력된다. 피드백전압(V_{fb}),
 커패시터(C_2)의 충전전압(V_{cc}) 및 감지전압(V_{sense})을 입력받은 제어모듈(310)은, 게이트전압(V_g)을 모스전계효과트랜지스터(Q_{sw})의 게이트단자로 출력시킴으로써, 대기모드가 유지될 수 있도록 모스전계효과트랜지스터(Q_{sw})의 스위칭동작을 제어한다.

<46> 도 2는 본 발명의 제1 실시예에 따른 스위칭 파워서플라이의 제어모듈회로를 나타내 보인 회로도이다.

<47> 도 2를 참조하면, 피드백전압(V_{fb})을 반전단자로 입력받고, 피드백전압보다 상대적으로 작은 값을 갖는 제1 피드백기준전압(V_{f1}) 또는 제2 피드백기준전압(V_{f2})을 비잔전단자로 입력받는 연산증폭기로 이루어진 비교기(CP_2)와, 피드백전압(V_{fb})을 비잔전단자로 입력받고, 피드백전압보다 상대적으로 작은 값을 갖는 제3 피드백기준전압(V_{f3})을 반전단자로 입력받는 연산증폭기로 이루어진 비교기(CP_3)가 나란하게 배치된다.

<48> 비교기(CP_2)와 비교기(CP_3)의 출력은 각각 RS플립플롭(FF)의 S단자(S)와 R단자(R)에 입력된다. 비교기(CP_2)의 출력은 RS플립플롭(FF)의 S단자(S) 외에도 트랜지스터(Q_2)의 베이스단자에도 입력된다. 트랜지스터(Q_2)의 에미터단자는 접지되고 컬렉터단자는 직렬로 연결된 저항기들(R_4 및 R_5)과 연결되고, 동시에 다이오드(D_4)

및 다이오드(D_5)를 통해 피드백전압(V_{fb}) 입력단자에도 연결된다. 다이오드(D_4)와 다이오드(D_5)를 통해 피드백전압(V_{fb}) 입력단자에도 연결된다. 다이오드(D_4)와 다이오드(D_5)는 상호 반대방향으로 배치된다. 즉 다이오드(D_4)의 캐소드는 피드백전압(V_{fb}) 입력단자를 향하고, 애노드는 트랜지스터(Q_2)의 컬렉터단자를 향한다. 다이오드(D_5)의 캐소드는 트랜지스터(Q_2)의 컬렉터단자를 향하고, 애노드는 피드백전압(V_{fb}) 입력단자를 향한다. 따라서 다이오드(D_4)의 애노드와 다이오드(D_5)의 애노드는 상호 연결된다.

<49> 피드백전압(V_{fb}) 입력단자와 다이오드(D_4)의 캐소드 사이의 일 접점에는 제1 정전류원(I_1)과 RS플립플롭(FF)의 출력단자(Q)를 선택적으로 연결시키는 스위칭(SW_3)이 배치된다. 다이오드(D_4)의 애노드와 다이오드(D_5)의 애노드 사이의 일 접점에는 제1 정전류원(I_1)과 RS플립플롭(FF)의 출력단자(Q)를 선택적으로 연결시키는 스위칭(SW_2)이 배치된다. 그리고 다이오드(D_5)의 캐소드와 트랜지스터(Q_2)의 컬렉터단자 사이의 일 접점에는 제2 정전류원(I_2)과 RS플립플롭(FF)의 출력단자(Q)를 선택적으로 연결할 수 있는 스위칭(SW_1)이 배치된다.

<50> 트랜지스터(Q_2)의 컬렉터단자로부터 직렬로 연결된 저항기(R_4)와 저항기(R_5) 사이의 일 접점에서의 전압(V_e)은 연산증폭기로 구성된 비교기(CP_1)의 반전단자와

연결된다. 비교기(CP_1)의 비반전단자는 오프셋직류전원(D_{offset})을 통해

감지전압(V_{sense})단자와 연결된다. 이 감지전압(V_{sense})은

모스전계효과트랜지스터(Q_{sw})를 흐르는 전류와 감지저항(R_{sense})의 크기에 의해 결정

된다. 비교기(CP_1)의 출력은 게이트드라이버(311)로 입력된다.

게이트드라이브(311)는 비교기(CP_1)의 출력 이외에도 오실레이터(oscillator)(OSC)

로부터의 출력을 입력받아 게이트전압(V_g)을 출력시킨다. 이 게이트전압(V_g)에 의

해 모스전계효과트랜지스터(Q_{sw})가 스위칭되는데, 스위칭타이밍을 결정하는 듀티는

오실레이터(OSC)로부터의 신호에 의해 결정된다.

<51> 도 3 및 도 4는 도 2의 제어모듈회로의 일부 입력신호들 및 일부 출력신호들의 파형을 나타내 보인 타이밍도들이다.

<52> 먼저 도 2 및 도 3을 참조하면, 전체 시스템에 걸린 부하가 가벼운 상태가 되면, 피드백전압(V_{fb})은 점점 감소하기 시작한다. 이때 일정시점(T_0)에서 사용자의 조작 등에 의한 대기모드가 시작되면, 제어모듈(310)로 입력되는 피드백전압(V_{fb})은 서서히 낮아져서 결국은 거의 0에 가깝게, 예컨대 대략 0.2V 정도로 낮아진다. 구체적으로 피드백전압(V_{fb})은 먼저 제3 피드백기준전압(V_{f3})보다 낮아지게 되고, 이어서 일정기간 경과후에는 제2 피드백기준전압(V_{f2})보다도 더 낮

아지게 되며, 다시 일정시점(T_0) 경과후 제1 피드백기준전압(V_{f1})보다도 더 낮아지게 된다. 이와 같이 피드백전압(V_{fb})이 거의 0에 가깝게 낮아진 시점(T_1)에서, 비교기(CP_2)의 입력단자들인 비반전입력단자 및 반전입력단자에는 각각 하이레벨의 제2 피드백기준전압(V_{f2})과 로우레벨의 피드백전압(V_{fb})이 입력된다. 따라서 비교기(CP_2)의 출력단자로부터는 하이신호가 출력된다. 이 비교기(CP_2)의 출력신호는 RS플립플랍(FF)의 S단자(S)에 입력되며, 또한 트랜지스터(Q_2)의 베이스단자에도 입력된다. 비교기(CP_3)의 경우, 비반전단자에는 로우레벨의 피드백전압(V_{fb})이 입력되고 반전단자에는 하이레벨의 제3 피드백기준전압(V_{f3})이 입력된다. 따라서 비교기(CP_3)의 출력단자로부터는 로우신호가 출력된다. 이 비교기(CP_3)의 출력신호는 RS플립플랍(FF)의 R단자(R)에 입력된다.

<53> 비교기(CP_2) 및 비교기(CP_3)의 출력신호들을 각각 S단자(S) 및 R단자(R)로 입력받는 RS플립플랍(FF)은 Q출력단자(Q)를 통하여 하이신호를 출력시킨다. RS플립플랍(FF)으로부터의 하이레벨의 출력신호는 일정기간동안 유지된다. 비교기(CP_2)의 하이레벨의 출력신호를 베이스단자에 입력받는 트랜지스터(Q_1)는 턴온되며, 제1 스위치(SW_1), 제2 스위치(SW_2) 및 제3 스위치(SW_3)는 각각 스위칭온, 스위칭오프 및 스위칭온 동작들을 각각 수행한다. 그 결과 다이오드(D_5)와 트랜지스터(Q_2)의 컬렉

터단자 사이의 접점에서의 전압(V_b)은 0이 되고, 제1 정전류원(I_1)으로부터의 전류는 제3 스위치(SW_3)를 통해 피드백전압(V_{fb}) 쪽으로 흐른다.

<54> 전압(V_b)이 0이므로 로우레벨의 입력신호가 비교기(CP_1)의 반전단자로 입력되고, 하이레벨의 감지전압(V_{sense})이 비교기(CP_1)의 비반전단자에 입력되며, 이에 따라 비교기(CP_1)의 출력신호는 하이레벨의 출력신호가 된다. 이 하이레벨의 출력신호는 게이트드라이버(311)로 입력되고, 게이트드라이버(311) 내의 인버터(미도시)에 의해 게이트드라이버(311)로부터는 스위칭오프신호가 출력된다. 게이트드라이버(311)로부터의 스위칭오프신호에 의해 모스전계효과트랜지스터(도 1의 Q_{sw})는 오프되어 스위칭동작을 수행하지 않는다.

<55> 모스전계효과트랜지스터(Q_{sw})가 스위칭동작을 수행하지 않음으로 인하여, 일정시점(T_2)부터 출력전압(도 1의 V_{out})은 점점 감소하고, 출력전압(V_{out})이 점점 감소함에 따라 피드백전압(V_{fb})은 점점 증가하기 시작한다. 피드백전압(V_{fb})이 점점 증가하여 제2 피드백기준전압(V_{f2})보다 더 큰 값을 갖기 시작한 시점(T_3)에 이르게 되면, 비교기(CP_2)의 비반전단자에는 로우레벨의 제2 피드백기준전압(V_{f2})이 입력되고, 반전단자에는 하이레벨의 피드백전압(V_{fb})이 입력된다. 따라서 비교기(CP_2)는 로우레벨신호를 출력시킨다. 비교기(CP_3)의 경우, 피드백전압(V_{fb})이 제3 피드백

기준전압(V_{f3})의 크기에 이르는 시점(T_3)까지는, 여전히 반전단자로 로우레벨의 피드백전압(V_{fb})이 입력되고 비반전단자로 하이레벨의 제3 피드백기준전압(V_{f3})이 입력되므로, 로우신호가 출력된다.

<56>

비교기(CP_2)로부터의 로우레벨신호와 비교기(CP_3)로부터의 로우레벨신호를 각각 S단자(S) 및 R단자(R)로 입력받는 RS플립플롭(FF)은 Q출력단자(Q)를 통하여 이전상태인 하이신호를 여전히 출력시킨다. 비교기(CP_2)로부터의 로우레벨의 출력신호를 베이스단자에 입력받는 트랜지스터(Q_1)는 턴오프된다. 그 결과 제2 정전류원(I_2)으로부터의 전류가 제1 스위치(SW_1)를 통해 저항기(R_4)와 저항기(R_5)를 흐른다. 즉 다이오드(D_5)와 트랜지스터(Q_2)의 컬렉터단자 사이의 접점에서의 전압(V_b)은 일정크기의 전압이 되고, 저항기(R_4)와 저항기(R_5)의 컬렉터단자 사이의 접점에서의 전압(V_c)도 전압분배에 의해 일정크기의 전압($\frac{R_5}{R_4+R_5} \times V_b$)이 발생된다. 전압(V_b)이 감지전압(V_{sense})보다 상대적으로 큰 하이레벨이므로 비교기(CP_1)는 로우레벨의 출력신호를 게이트드라이버(311)에 입력시키고, 게이트드라이버(311)는 모스전계효과트랜지스터(도 1의 Q_{sw})가 스위칭동작을 수행하도록 하는 게이트전압신호를 발생시킨다. 스위칭동작을 수행하는 모스전계트랜지스터(Q_{sw})의 드레인단자와

소스단자 사이에는, 스위칭온 동작기간동안 삼각파형의 전류(I_{ds})가 흐르는데, 이 전류(I_{ds})의 최대크기는 저항기(R_4)와 저항기(R_5) 사이의 접점에서의 전압(V_c)크기에 의해 결정된다. 그런데 저항기(R_4)와 저항기(R_5) 사이의 접점에서의 전압(V_c)은 제2 전류원(I_2)의 조절에 의해 일정하게 유지할 수 있으며, 이에 따라 전류(I_{ds})의 최대크기도 일정크기 이하로 유지할 수 있다. 스위칭 온/오프 타이밍은 오실레이터(OSC)로부터 게이트드라이버(311)로 입력되는 신호파형에 의해 결정된다.

<57>

한편 피드백전압(V_{fb})이 계속 증가해서 제3 피드백기준전압(V_{f3})보다 커지기 시작하는 시점(T_4)이 되면, 비교기(CP_3)의 출력신호가 로우레벨에서 하이레벨로 변경되고, 이에 따라 RS플립플롭(FF)의 출력신호도 하이레벨에서 로우레벨로 변경된다. 트랜지스터(Q_2)는 여전히 오프상태이며, RS플립플롭(FF)이 로우레벨의 출력신호를 발생시킴에 따라 제1 스위치(SW_1)도 또한 오프되어 저항기(R_4)와 저항기(R_5) 사이의 접점에서의 전압(V_c)도 0이 된다. 따라서 비교기(CP_1)의 출력은 하이레벨의 신호가 발생되고, 게이트드라이버(311)는 모스전계효과트랜지스터(Q_{sw})의 스위칭 동작을 오프시킨다.

<58>

모스전계효과트랜지스터(Q_{sw})의 스위칭동작이 오프됨에 따라 전체 시스템에 걸린 부하가 가벼운 상태가 되면, 피드백전압(V_{fb})은 다시 감소하기 시작한다. 이

상태에서 피드백전압(V_{fb})이 제1 피드백기준전압(V_{f1})보다 낮은 시점(T_5)이 되면, 다시 비교기(CP_2)의 출력신호는 로우레벨에서 하이레벨로 변환되고, 비교기(CP_3)의 출력신호는 하이레벨에서 로우레벨로 변환된다. 이에 따라 트랜지스터(Q_2)는 턴온되고, RS플립플랍(FF)은 하이레벨의 출력신호를 발생시킨다. 이와 같이 앞서 설명한 시점(T_1) 이후의 동작과 동일하게 동작하므로 중복되는 설명은 생략하기로 한다.

피드백전압(V_{fb})이 제2 피드백기준전압(V_{f2})보다 커지기 시작하는 시점(T_6) 이후의 동작 또한 시점(T_3) 이후의 동작과 동일하므로 중복되는 설명은 생략하기로 한다.

<59> 이와 같이 일정기간 동안의 대기모드가 종료한 후 정상동작모드가 시작되는 시점(T_7)부터 피드백전압(V_{fb})은 잠시 제3 피드백기준전압(V_{f3})보다 큰 값이 되다가 다시 감소되어 제2 피드백기준전압(V_{f2})보다는 크고 제3 피드백기준전압(V_{f3})보다는 작은 일정한 값을 유지한다. 정상동작모드동안 비교기(CP_2)의 출력은 로우상태를 유지하고, 비교기(CP_3)의 출력은 하이상태를 유지한다. 그리고 RS플립플랍(FF)의 출력신호는 로우상태를 유지한다.

<60> 다음에 도 2 및 도 4를 참조하면, 정상동작모드에서 대기모드로 전환되는 시점(T_1)에서 모스전계효과트랜지스터(Q_{sw})가 스위칭온 되기까지의 시점(T_2)까지는, 저항기(R_4) 및 저항기(R_5) 사이의 접점에서의 전압(V_c)이 0이므로, 오실레이터(OS

C)로부터의 신호가 게이트드라이버(311)로 입력되더라도

모스전계효과트랜지스터(Q_{sw})의 스위칭동작은 오프된다. 그러나 피드백전압(V_{fb})의

변화에 따라 저항기(R_4) 및 저항기(R_5) 사이의 접점에서의 전압(V_c)이 0이 아닌 일

정크기가 되는 시점(T_3)부터는 모스전계효과트랜지스터(Q_{sw})의 스위칭동작이

온되며, 이때부터는 오실레이터(OSC)로부터의 출력신호에 의해 스위칭타이밍이 결

정된다. 즉 오실레이터(OSC)의 출력신호가 증가하는 범위내에서 모스전계효과트랜

지스터(Q_{sw})가 온되며, 드레인-소스 전류(I_{ds})가 발생한다. 앞서 설명한 바와 같이,

대기모드시 드레인-소스 전류(I_{ds})는, 저항기(R_4) 및 저항기(R_5) 사이의 접점에서의

전압(V_c)이 일정크기를 유지하기 때문에, 최대한계값(I_{limit})을 넘지 않는다.

<61> 시점(T_3)이 경과되어 피드백전압(V_{fb})이 제3 피드백기준전압(V_{f3})보다 커지기

시작하면 다시 저항기(R_4) 및 저항기(R_5) 사이의 접점에서의 전압(V_c)이 0이 된다.

그리고 이에 따라 오실레이터(OSC)로부터의 신호가 게이트드라이버(311)로 입력되

더라도 모스전계효과트랜지스터(Q_{sw})의 스위칭동작은 오프된다. 시점(T_6) 이후의

동작은 시점(T_3) 이후의 동작과 동일하므로 중복되는 설명은 생략하기로 한다.

<62> 한편 다시 대기모드에서 정상동작모드로 변환되기 시작하는 시점(T_7)부터 모

스전계효과트랜지스터(Q_{sw})는 정상적인 스위칭동작을 수행하며, 이때의 두터는 오실

레이터(OSC)의 출력파형에 의해 결정된다.

<63> 도 5는 도 2의 제어모듈회로에서의 피드백전압(V_{fb})과 드레인-소스 전류의 최대값(I_{peak}) 사이의 관계를 나타내 보인 그래프이다.

<64> 도 5를 참조하면, 최초로 피드백전압(V_{fb})이 증가하는 경우 드레인-소스 전류의 최대값(I_{peak})은 선형적으로 증가한다(510 참조). 그리고 피드백전압(V_{fb})이 다시 감소하게 되면 드레인-소스 전류의 최대값(I_{peak})은 역시 선형적으로 감소한다(520 참조). 그러나 이어서 피드백전압(V_{fb})이 다시 증가할 때는, 피드백전압(V_{fb})이 일정범위(A) 이내일 경우, 예컨대 0.5-0.7V범위 내인 경우 드레인-소스 전류의 최대값(I_{peak})은 일정한 값, 예컨대 0.5A의 값을 유지하며, 일정범위(A)를 지나는 경우 다시 선형적으로 증가한다(530 참조).

<65> 도 6은 본 발명의 제2 실시예에 따른 제어모듈회로를 나타내 보인 회로도이다. 도 6에서 도 2와 동일한 참조부호는 동일한 요소를 나타낸다. 따라서 이하에서 중복되는 설명은 생략하기로 하고 서로 다른 부분에 대해서만 설명하기로 한다.

<66> 도 6을 참조하면, 본 실시예에 따른 제어모듈회로는, 비교기(CP_1)의 반전단자로는 저항기(R_4)와 저항기(R_5) 사이의 접점에서의 전압(V_c)이 입력되지만, 비교기(CP_1)의 비반전단자로는 오실레이터(OSC)의 파형신호가 입력된다. 앞서 도 2를 참조하여 설명한 제어모듈회로의 경우, 비교기(CP_1)의 비반전단자로 입력되는

신호는 모스전계효과트랜지스터(Q_{sw})의 드레인-소스 사이를 흐르는 전류에 의해 결정되는 감지전압(V_{sense})이며, 이에 따라 전류모드(current mode)로 동작한다. 이에 반하여 본 실시예에 따른 제어모듈회로의 경우, 비교기(CP_1)의 비반전단자로 입력되는 신호는 오실레이터(OSC)의 전압파형이며, 이에 따라 전압모드(voltage mode)로 동작한다. 따라서 전압모드의 제어모듈회로의 경우, 감지전압(도 1의 V_{sense})이 불필요하므로 감지저항(도 1의 R_{sense}) 또한 불필요하다. 본 실시예에 따른 제어모듈회로의 동작은 앞서 설명한 전류모드의 제어모듈회로의 동작과 동일하다.

<67> 도 7 및 도 8은 본 발명의 제3 실시예에 따른 제어모듈회로를 나타내 보인 회로도이다.

<68> 먼저 도 7을 참조하면, 제어모듈(도 1의 300)의 피드백전압(V_{fb}) 입력단자(a)는 그 사이에서 순차적으로 배치된 다이오드(D_6) 및 다이오드(D_7)를 통해 pnp 바이폴라접합트랜지스터(Q_3)의 베이스단자(b_3)에 연결된다. 다이오드(D_6)의 애노드단자와 다이오드(D_7)의 캐소드단자는 모두 제어모듈의 피드백전압 입력단자(a)를 향하고, 반대로 다이오드(D_6)의 캐소드단자와 다이오드(D_7)의 애노드단자는 모두 pnp 바이폴라접합트랜지스터(Q_3)를 향한다. 따라서 다이오드(D_6)와 다이오드(D_7)는 상호 반대방향으로 배치된다. 다이오드(D_6)와 다이오드(D_7) 사이의 일 접점은 전류원(I_3)과 연결된다.

<69> pnp 바이폴라접합트랜지스터(Q_3)의 에미터단자(e_3)는 선택기(selector)(700)와 연결되는 동시에 npn 바이폴라접합트랜지스터(Q_4)의 컬렉터단자(c_4)에도 연결된다. npn 바이폴라접합트랜지스터(Q_4)의 베이스단자(b_4)로는 버스트전류제한신호(Bi_b)가 입력되고, 에미터단자는 접지된다.

<70> 한편 정전류원(I_3)과는 별개로 배치된 정전류원(I_4)은 pnp 바이폴라접합트랜지스터(Q_5)의 베이스단자(b_5)에 연결된다. pnp 바이폴라접합트랜지스터(Q_5)의 에미터단자(e_5)는 선택기(700)와 연결되는 동시에 npn 바이폴라접합트랜지스터(Q_6)의 컬렉터단자(c_6)에도 연결된다. npn 바이폴라접합트랜지스터(Q_6)의 베이스단자(b_6)로는 정상동작신호(Bu)가 입력되고, 에미터단자는 접지된다.

<71> 선택기(700)은 두 개의 npn 바이폴라접합트랜지스터(Q_7 , Q_8) 및 하나의 정전류원(I_5)으로 구성된다. npn 바이폴라접합트랜지스터(Q_7)의 베이스단자는 pnp 바이폴라접합트랜지스터(Q_3)의 에미터단자(e_3) 및 npn 바이폴라접합트랜지스터(Q_4)의 컬렉터단자(c_4)에 모두 연결된다. 그리고 npn 바이폴라접합트랜지스터(Q_8)의 베이스단자는 pnp 바이폴라접합트랜지스터(Q_5)의 에미터단자(e_5) 및 npn 바이폴라접합트랜지스터(Q_6)의 컬렉터단자(c_6)에 모두 연결된다. npn 바이폴라접합트랜지스터(Q_7)의 에미터단자와 npn 바이폴라접합트랜지스터(Q_8)의 에미터단자는 상호 연결되며

동시에 선택기(700)의 출력단자(o)에 연결된다. 선택기(700)의 출력단자(o)는 선택기(700) 내부에서 정전류원(I_5)을 통해 접지되지만, 선택기(700) 외부에서는 비교기(CP_1)의 반전단자에 연결된다.

<72> 선택기(700)의 출력과 연결되는 반전단자를 갖는 비교기(CP_1)의 비반전단자는 오프셋직류전원(V_{offset})을 통해 감지전압(V_{sense})단자와 연결된다. 이 감지전압(V_{sense})은, 도 1에 도시된 바와 같이, 모스전계효과트랜지스터(Q_{sw})를 흐르는 전류와 감지저항(R_{sense})의 크기에 의해 결정된다. 비교기(CP_1)의 출력은 게이트 드라이버(311)로 입력된다. 게이트드라이브(311)는 비교기(CP_1)의 출력 이외에도 오실레이터(oscillator)(OSC)로부터의 출력을 입력받아 게이트전압(V_g)을 출력시킨다. 이 게이트전압(V_g)에 의해 모스전계효과트랜지스터(Q_{sw})가 스위칭되는데, 스위칭타이밍을 결정하는 듀티는 오실레이터(OSC)로부터의 신호에 의해 결정된다.

<73> 이와 같은 제어모듈회로의 동작을 설명하면 다음과 같다.

<74> 정전류원(I_3)에 의해 pnp 바이폴라접합트랜지스터(Q_3)의 베이스단자(b_3)에서의 전압은 피드백전압(V_{fb})으로 일정하게 유지된다. 이 전압은 에미터단자(e_3)로 레벨시프트(level shift)된다. 정전류원(I_4)에 의해서는 pnp 바이폴라접합트랜지스터(Q_5)의 베이스단자(b_5)에서의 전압이 피드백전압(V_{fb})으로 일정하게 유지된다.

이 전압 또한 에미터단자(e_5)로 레벨시프트된다. pnp 바이폴라접합트랜지스터(Q_3)의 에미터단자(e_3)전압과 pnp 바이폴라접합트랜지스터(Q_5)의 에미터단자(e_5)전압은 선택적으로 선택기(700)로 입력된다. 적어도 어느 하나만 입력되거나, 또는 모두 입력되지 않을 수는 있지만, 동시에 두 전압신호가 인가되는 경우는 발생하지 않는다.

<75> pnp 바이폴라접합트랜지스터(Q_3)의 에미터단자(e_3)전압이 선택기(700)에 입력되는지의 여부는 버스트전류제한신호(Bi_b)에 의해 결정된다. 즉 버스트전류제한신호(Bi_b)가 하이인 경우, npn 바이폴라접합트랜지스터(Q_4)는 턴온되어 쇼트되고, 따라서 pnp 바이폴라접합트랜지스터(Q_3)의 에미터단자(e_3)전압은 선택기(700)로 입력되지 못한다. 그러나 버스트전류제한신호(Bi_b)가 로우인 경우, npn 바이폴라접합트랜지스터(Q_4)는 턴오프되어 오픈되고, 그에 따라 pnp 바이폴라접합트랜지스터(Q_3)의 에미터단자(e_3)전압은 선택기(700)로 입력된다.

<76> pnp 바이폴라접합트랜지스터(Q_5)의 에미터단자(e_5)전압이 선택기(700)에 입력되는지의 여부는 정상동작신호(Bu)에 의해 결정된다. 즉 정상동작신호(Bu)가 하이인 경우, npn 바이폴라접합트랜지스터(Q_6)는 턴온되어 쇼트되고, 따라서 pnp 바이폴라접합트랜지스터(Q_5)의 에미터단자(e_5)전압은 선택기(700)로 입력되지 못한다. 그러나 정상동작신호(Bu)가 로우인 경우, npn 바이폴라접합트랜지스터(Q_6)는 턴오프되

어 오픈되고, 그에 따라 pnp 바이폴라접합트랜지스터(Q_5)의 에미터단자(e_3)전압은 선택기(700)로 입력된다.

<77>

pnp 바이폴라접합트랜지스터(Q_3)의 에미터단자(e_3)전압은 선택기(700) 내의 npn 바이폴라접합트랜지스터(Q_7)의 베이스단자에 입력된다. 마찬가지로 pnp 바이폴라접합트랜지스터(Q_5)의 에미터단자(e_5)전압은 선택기(700) 내의 npn 바이폴라접합트랜지스터(Q_8)의 베이스단자에 입력된다. 선택기(700) 내의 두 개의 npn 바이폴라접합트랜지스터들(Q_7 , Q_8) 중 적어도 어느 하나의 트랜지스터만이 턴온된다. 즉 pnp 바이폴라접합트랜지스터(Q_3)의 에미터단자(e_3)전압과 pnp 바이폴라접합트랜지스터(Q_5)의 에미터단자(e_5)전압 중 어느 한 신호만이 선택기(700) 내로 입력된다. pnp 바이폴라접합트랜지스터(Q_3)의 에미터단자(e_3)전압만이 선택기(700) 내로 입력되는 경우, 이 에미터단자(e_3)전압은 npn 바이폴라접합트랜지스터(Q_7)의 에미터단자로 전달되어 출력단자(o)를 통해 선택기(700) 밖으로 출력된다. 마찬가지로 pnp 바이폴라접합트랜지스터(Q_5)의 에미터단자(e_5)전압만이 선택기(700) 내로 입력되는 경우, 이 에미터단자(e_5)전압은 npn 바이폴라접합트랜지스터(Q_8)의 에미터단자로 전달되어 출력단자(o)를 통해 선택기(700) 밖으로 출력된다.


<78>

선택기(700)로부터의 출력은 비교기(CP_1)의 반전단자에 입력되는데,

비교기(CP_1)의 비반전단자로는 감지전압(V_{sense})이 입력된다. 감지전압(V_{sense})은, 도 1에 도시된 바와 같이, 모스전계효과트랜지스터(Q_{sw})를 흐르는 전류와 감지저항(R_{sense})의 크기에 의해 결정된다. 선택기(700)로부터의 출력과 감지전압(V_{sense})을 비교하여 출력하는 비교기(CP_1)의 출력은 게이트드라이버(311)로 입력된다. 게이트드라이브(311)는 비교기(CP_1)의 출력 이외에도 스위칭타이밍을 결정하는 오실레이터(OSC)의 신호도 함께 입력받아 게이트전압(V_g)을 출력시킨다.

<79> 다음에 도 8을 참조하면, 비교기(CP_4) 및 비교기(CP_5)가 나란하게 배치된다. 비교기(CP_4)는, 피드백전압(V_{fb})을 비반전단자(+)로 입력받고, 피드백전압보다 상대적으로 작은 값을 갖는 제1 피드백기준전압(V_{f1}')을 반전단자(-)로 입력받는 연산증폭기로 이루어진다. 비교기(CP_5)는, 피드백전압(V_{fb})을 반전단자(-)로 입력받고, 피드백전압보다 상대적으로 작은 값을 갖는 제2 피드백기준전압(V_{f2}')을 비반전단자로 입력받는 연산증폭기로 이루어진다.

<80> 비교기(CP_4)의 출력은 인버터(810)에 의해 신호가 반전되어 npn 바이폴라접합트랜지스터(Q_4)의 베이스단자(b_4)에 입력되는 버스트전류제한신호(Bi_b)가 된다. 버스트전류제한신호(Bi_b)를 출력시키는 비교기(CP_4)의 출력단자는 비교기(CP_5)의 출력단자와 함께 RS플립플롭(FF)의 S단자(S) 및 R단자(R)에 각각 입력된다. 또한

비교기(CP₄)의 출력단자는 RS플립플랍(FF)의 S단자(S) 외에도 OR게이트(800)의 입력단자에도 입력된다. OR게이트(800)의 다른 하나의 입력단자는 RS플립플랍(FF)의 출력단자()에 연결된다. OR게이트(800)의 출력단자로는 정상동작신호(Bu)가 출력되고, 이 정상동작신호(Bu)는 npn 바이폴라접합트랜지스터(Q₆)의 베이스단자(b₆)로 입력된다. 이와 같은 각 회로소자들의 논리상태는 입력되는 피드백전압(V_{fb})의 크기에 따라 결정되는데, 각각의 경우에 따른 출력신호들을 아래의 표 1에 나타내었다.

【표 1】

<81>

	CP ₄	CP ₅	Bu	Bi_b	
정상동작모드	H	L	H	L	L
$V_{f1}' \leq V_{fb} \leq V_{f2}'$	L	L	L	H	L
$V_{fb} \leq V_{f2}'$	L	H	H	H	H
$V_{f2}' \leq V_{fb} \leq V_{f1}'$	L	L	H	H	H

<82>

상기 표 1을 참조하여 도 8의 회로동작을 설명하면, 먼저 피드백전압(V_{fb})이 제1 피드백기준전압(V_{f1}')보다 큰 경우인 정상동작모드에서, 비교기(CP₄)의 출력신호로서 하이신호(H)가 발생되고, 비교기(CP₅)의 출력신호로서 로우신호(L)가 발생된다. 비교기(CP₄)의 출력신호는 인버터(810)에 의해 로우신호(L)로 변경되어 로우신호(L)의 버스트전류제한신호(Bi_b)를 발생시킨다. 비교기(CP₄)로부터 출력되는 하

이 신호(H)와 비교기(CP₅)로부터 출력되는 로우신호(L)는 RS플립플랍(FF)의 S단자 및 R단자에 각각 입력된다. 이 입력신호들을 입력받은 RS플립플랍(FF)의 출력단자(\bar{Q})로는 로우신호(L)가 출력되며, 이 로우신호(L)는 OR게이트(800)로 입력된다. OR게이트(800)의 다른 입력단자에는 비교기(CP₄)로부터의 하이신호(H)가 입력된다. 이 하이신호(H)와 RS플립플랍(FF)의 출력단자(\bar{Q})로의 로우신호(L)를 입력받은 OR게이트(800)는 하이신호(H)를 출력시키고, 따라서 하이신호(H)의 정상 동작신호(Bu)를 발생시킨다.

<83>

다음에 피드백전압(V_{fb})이 점점 작아져서 제1 피드백기준전압(V_{f1})보다 작고 제2 피드백기준전압(V_{f2})보다는 크게 되는 버스트모드인 경우, 비교기(CP₄)의 출력신호와 비교기(CP₅)의 출력신호로서 모두 로우신호(L)가 발생된다. 비교기(CP₄)의 출력신호는 인버터(810)에 의해 하이신호(H)로 변경되어 하이신호(H)의 버스트전류 제한신호(Bi_b)를 발생시킨다. 비교기(CP₄)로부터 출력되는 로우신호(L)와 비교기(CP₅)로부터 출력되는 로우신호(L)는 RS플립플랍(FF)의 S단자 및 R단자에 각각 입력된다. 이 입력신호들을 입력받은 RS플립플랍(FF)의 출력단자(\bar{Q})로는 로우신호(L)가 출력되며, 이 로우신호(L)는 OR게이트(800)로 입력된다. OR게이트(800)의 다른 입력단자에는 비교기(CP₄)로부터의 로우신호(L)가 입력된다. 이 로우신호(L)와 RS플립플랍(FF)의 출력단자(\bar{Q})로의 로우신호(L)를 입력받은 OR

게이트(800)는 로우신호(L)를 출력시키고, 따라서 로우신호(L)의 정상동작신호(Bu)를 발생시킨다.

<84>

다음에 피드백전압(V_{fb})이 더 작아져서 제2 피드백기준전압(V_{f2}')보다도 작게 되는 경우에는, 비교기(CP_4)의 출력신호로서 로우신호(L)가 발생되고, 비교기(CP_5)의 출력신호로서 하이신호(H)가 발생된다. 비교기(CP_4)의 출력신호는 인버터(810)에 의해 하이신호(H)로 변경되어 하이신호(H)의 버스트전류제한신호(Bi_b)를 발생시킨다. 비교기(CP_4)로부터 출력되는 로우신호(L)와 비교기(CP_5)로부터 출력되는 하이신호(H)는 RS플립플랍(FF)의 S단자 및 R단자에 각각 입력된다. 이 입력신호들을 입력받은 RS플립플랍(FF)의 출력단자(\bar{Q})로는 하이신호(H)가 출력되며, 이 하이신호(H)는 OR게이트(800)로 입력된다. OR게이트(800)의 다른 입력단자에는 비교기(CP_4)로부터의 로우신호(L)가 입력된다. 이 로우신호(L)와 RS플립플랍(FF)의 출력단자(\bar{Q})로의 하이신호(H)를 입력받은 OR게이트(800)는 하이신호(H)를 출력시키고, 따라서 하이신호(H)의 정상동작신호(Bu)를 발생시킨다.

<85>

다음에 피드백전압(V_{fb})이 다시 증가하여, 제1 피드백기준전압(V_{f1}')보다는 작지만 제2 피드백기준전압(V_{f2}')보다는 커지게 되는 경우, 비교기(CP_4)의 출력신호와 비교기(CP_5)의 출력신호로서 모두 로우신호(L)가 발생된다. 비교기(CP_4)의 출력신호는 인버터(810)에 의해 하이신호(H)로 변경되어 하이신호(H)의 버스트전류제한

신호(Bi_b)를 발생시킨다. 비교기(CP₄)로부터 출력되는 로우신호(L)와 비교기(CP₅)로부터 출력되는 로우신호(L)는 RS플립플랍(FF)의 S단자 및 R단자에 각각 입력된다. 이 입력신호들을 입력받은 RS플립플랍(FF)의 출력단자(\bar{Q})로는 하이신호(H)가 출력되며, 이 하이신호(H)는 OR게이트(800)로 입력된다. OR게이트(800)의 다른 입력단자에는 비교기(CP₄)로부터의 로우신호(L)가 입력된다. 이 로우신호(L)와 RS플립플랍(FF)의 출력단자(\bar{Q})로의 하이신호(H)를 입력받은 OR게이트(800)는 하이신호(H)를 출력시키고, 따라서 하이신호(H)의 정상동작신호(Bu)를 발생시킨다.

<86> 지금까지 설명한 바와 같이, 버스트전류제한신호(Bi_b)와 정상동작신호(Bu)는 모두 하이신호(H)가 되는 경우는 있어도 모두 로우신호(L)가 되는 경우는 없다. 버스트전류제한신호(Bi_b)와 정상동작신호(Bu)가 모두 하이신호(H)인 경우에는, 도 7의 선택기(700) 내부로 어떠한 입력도 입력되지 않는다는 것을 의미한다. 한편으로 버스트전류제한신호(Bi_b)와 정상동작신호(Bu)가 모두 로우신호(L)인 경우에는, 도 7의 선택기(700) 내부로 두 개의 입력이 동시에 입력된다는 것을 의미한다. 따라서 결론적으로 본 발명에 따른 제어모듈회로의 선택기(700) 내부로는 어떠한 입력신호도 발생하지 않는 경우는 있어도 두 개의 입력신호가 동시에 선택기(700) 내부로 입력되는 경우는 발생하지 않는다.

<87> 도 9는 도 7 및 도 8의 제어모듈회로의 일부 입력신호들 및 일부 출력신호들의 파형을 나타내 보인 타이밍도이다.

<88> 도 7, 도 8 및 도 9를 참조하면, 전체 시스템에 걸린 부하가 가벼운 상태가

되면, 피드백전압(V_{fb})은 점점 감소하기 시작한다. 피드백전압(V_{fb})이 제1 피드백기준전압(V_{f1}')보다 낮아지게 되면, 제어모듈회로는 버스트전류제한모드로 동작한다. 이는 제1 피드백기준전압(V_{f1}')이 버스트모드와 정상동작모드를 구별하기 위한 기준전압이기 때문이다. 즉 피드백전압(V_{fb})이 제1 피드백기준전압(V_{f1}')보다 크면 제어모듈회로는 정상동작모드로 동작하고, 반대인 경우에는 전류가 제한되는 버스트모드로 동작한다. 이어서 일정기간 경과후에는 피드백전압(V_{fb})이 제2 피드백기준전압(V_{f2}')보다도 더 낮아지게 되는데, 이 경우 제어모듈회로는 스위칭동작을 수행하지 않는다. 이는 제2 피드백기준전압(V_{f2}')이 스위칭동작의 수행 여부를 결정하기 위한 기준전압이기 때문이다. 즉 피드백전압(V_{fb})이 제2 피드백기준전압(V_{f2}')보다 크면, 스위칭동작이 이루어지지만, 그 반대인 경우에는 스위칭동작이 이루어지지 않는다.

<89>

구체적으로 설명하면, 시점 T_0 에서 시점 T_1 까지 제어모듈회로는 정상동작모드로 동작한다. 이 경우 비교기(CP_4)의 비반전단자와 비교기(CP_5)의 반전단자에는 각각 하이신호(H) 및 로우신호(L)가 각각 입력되며, 따라서 도 8의 회로동작에 의해 로우신호(L)의 버스트전류제한신호(Bi_b)와 하이신호(H)의 정상동작신호(Bu)가만 들어진다. 그 결과 도 7의 회로에서 pnp 바이폴라접합트랜지스터(Q_3)의 에미터단자(e_3)전압이 선택기(700)내로 입력되고, 이 신호는 선택기(700)로부터 출

력되어 비교기(CP₁)의 반전단자로 입력되고, 최종적으로 게이트드라이버(311)를 통해 정상동작모드로 스위칭동작을 수행하도록 하는 게이트제어신호(V_g)가 만들어진다. pnp 바이폴라접합트랜지스터(Q₃)의 에미터단자(e₃)전압은 피드백전압(V_{fb})과 비례하므로, 결과적으로 출력전류는 피드백전압(V_{fb})에 비례하여 변화한다. 따라서 이 기간동안 피드백전압(V_{fb})이 점점 감소하므로, 전류크기도 또한 점점 감소한다.

<90> 시점 T₁에서 시점 T₂까지 제어모듈회로는 버스트전류제한모드로 동작한다.

이 경우 비교기(CP₄)의 비반전단자와 비교기(CP₅)의 반전단자에는 모두 로우신호(L)가 입력되며, 따라서 도 8의 회로동작에 의해 하이신호(H)의 버스트전류제한신호(Bi_b)와 로우신호(L)의 정상동작신호(Bu)가 만들어진다. 그 결과 도 7의 회로에서 pnp 바이폴라접합트랜지스터(Q₅)의 에미터단자(e₅)전압이 선택기(700)내로 입력되고, 이 신호는 선택기(700)로부터 출력되어 비교기(CP₁)의 반전단자로 입력되고, 최종적으로 게이트드라이버(311)를 통해 버스트전류제한모드로 스위칭동작을 수행하도록 하는 게이트제어신호(V_g)가 만들어진다. pnp 바이폴라접합트랜지스터(Q₅)의 에미터단자(e₅)전압은 정전류원(I₄)에 의해 만들어지는 일정크기의 전압에 비례하므로, 결과적으로 출력전류는 상기 일정크기의 전압에 비례해서 일정하게 유지된다. 따라서 이 기간동안 피드백전압(V_{fb})이 점점 감소하더라도, 출력전류는

일정한 크기 이하로 제한되면서 일정한 값을 유지한다.

<91> 시점 T_2 에서 시점 T_3 까지 제어모듈회로는 스위칭동작을 수행하지 않는다. 이 경우 비교기(CP_4)의 비반전단자와 비교기(CP_5)의 반전단자에는 로우신호(L) 및 하이신호(H)가 각각 입력되며, 따라서 도 8의 회로동작에 의해 하이신호(H)의 버스트전류제한신호(Bi_b)와 하이신호(H)의 정상동작신호(Bu)가 만들어진다. 따라서 도 7의 회로에서 pnp 바이폴라접합트랜지스터(Q_3)의 에미터단자(e_3)전압 및 pnp 바이폴라접합트랜지스터(Q_5)의 에미터단자(e_5)전압 모두 선택기(700)내로 입력되지 못하고, 그 결과 게이트드라이버(311)로부터의 게이트제어신호(V_g)가 만들어지 않게 된다.

<92> 시점 T_3 에서 T_4 까지 제어모듈회로는 여전히 스위칭동작을 수행하지 않는다. 즉 이 경우에는 비교기(CP_4)의 비반전단자와 비교기(CP_5)의 반전단자에 모두 로우신호(L)가 입력되지만, 도 8의 회로동작에 의해 하이신호(H)의 버스트전류제한신호(Bi_b)와 하이신호(H)의 정상동작신호(Bu)가 만들어진다. 시점 T_1 과 시점 T_2 사이의 경우와는 다르게 하이신호(H)의 정상동작신호(Bu)가 만들어지는 이유는, 도 8의 RS플립플랍(FF) 때문이다. 결론적으로 도 7의 회로에서 pnp 바이폴라접합트랜지스터(Q_3)의 에미터단자(e_3)전압 및 pnp 바이폴라접합트랜지스터(Q_5)의 에미터단자(e_5)전압 모두 선택기(700)내로 입력되지 못하고, 그 결과 게이트드

라이버(311)로부터의 게이트제어신호(V_g)가 만들어지 않게 된다.

<93>

시점 T_4 에서 시점 T_5 사이에, 외부부하가 있는 것이 감지되지 않고 오히려 외부부하의 경감이 감지되면 다시 피드백전압(V_{fb})은 감소한다. 피드백전압(V_{fb})이 감소하여 제1 피드백기준전압(V_{f1}')보다 작아지는 시점 T_5 에서 시점 T_6 까지의 제어모듈회로의 동작과, 피드백전압(V_{fb})이 제2 피드백기준전압(V_{f2}')보다 작아지는 시점 T_6 에서 시점 T_7 까지의 제어모듈회로의 동작과, 그리고 피드백전압(V_{fb})이 다시 증가하여 제2 피드백기준전압(V_{f2}')보다 커지는 시점 T_7 에서 시점 T_8 까지의 제어모듈회로의 동작은, 각각 시점 T_1 에서 시점 T_2 까지, 시점 T_2 에서 시점 T_3 까지, 그리고 시점 T_3 에서 시점 T_4 까지의 제어모듈회로의 동작과 동일하다. 이후 피드백전압(V_{fb})이 제1 피드백기준전압(V_{f1}')보다 더 커지는 시점 T_8 이 되면, 외부부하의 경감이 감지되지 않는 한 제어모듈회로는 정상모드로 동작한다.

<94>

제1 실시예에 따른 제어모듈회로의 동작이 3개의 피드백기준전압(V_{f1} , V_{f2} , V_{f3})과 피드백전압(V_{fb})과의 비교결과에 따라 결정되는데 반하여, 본 실시예에 따른 제어모듈회로의 경우 2개의 피드백기준전압(V_{f1}' , V_{f2}')과 피드백전압(V_{fb})과의 비교결과에 따라 결정되므로, 버스트모드에서 정상동작모드로의 변환에 필요한 전력소모가 감소되며, 내부회로를 보다 더 간단하게 설계할 수 있다.

【발명의 효과】

<95> 이상의 설명에서와 같이, 본 발명에 따른 스위칭 파워서플라이의 제어모듈 회로에 의하면, 자동버스트모드와 피드백전압감지에 의한 전류모드동작에 의해 최대 전류값을 일정하게 제한함으로써 트랜스포머에서의 소음발생을 억제할 수 있다는 이점을 제공한다. 특히 감지레벨로서 두 개의 감지레벨, 예컨대 제1 피드백기준전압 및 제2 피드백기준전압을 사용하는 경우 내부회로를 간단하게 구현할 수 있으며, 버스트모드에서 정상모드로의 변환에 필요한 전력소모를 감소시켜 제어모듈회로의 오동작을 억제시킬 수 있다는 이점을 제공한다.

【특허청구범위】

【청구항 1】

정상동작모드와 대기모드를 가지며, 출력전압에 반비례하는 피드백전압을 통해 스위칭소자의 스위칭동작을 제어하는 스위칭 파워서플라이의 제어모듈회로에 있어서,

상기 대기모드시 상기 피드백전압의 변화에 따라 상기 스위칭소자가 스위칭 온동작을 수행하도록 하기 위한 제1 전압과, 상기 스위칭소자가 스위칭오프동작을 수행하도록 하기 위한 제2 전압을 제공하는 전압설정수단; 및

상기 전압설정수단으로부터 상기 제1 전압이 발생하는 경우 상기 스위칭소자를 스위칭온시키는 제어신호를 발생하고, 상기 전압설정수단으로부터 상기 제2 전압이 발생하는 경우 상기 스위칭소자를 스위칭오프시키는 제어신호를 발생하는 스위칭제어신호발생수단을 구비하는 것을 특징으로 하는 스위칭파워서플라이의 제어모듈회로.

【청구항 2】

제1항에 있어서, 상기 전압설정수단은,

제1 및 제2 정전류원;

상기 피드백전압과 제1 또는 제2 피드백기준전압을 비교하고 비교결과에 따라 하이레벨의 출력신호 또는 로우레벨의 출력신호를 발생하는 제1 비교기;

상기 피드백전압과 상기 제2 피드백기준전압보다 큰 제3 피드백기준전압을

비교하고 비교결과에 따라 하이레벨의 출력신호 또는 로우레벨의 출력신호를 발생 하는 제2 비교기;

상기 제1 비교기의 출력신호에 따라 턴온 또는 턴오프되는 트랜지스터;

상기 제1 비교기 및 제2 비교기의 출력신호를 각각 S단자 및 R단자로 입력받아 출력단자로 출력신호를 발생시키는 RS플립플롭;

상기 RS플립플롭의 출력단자와 상기 트랜지스터의 컬렉터단자 또는 상기 RS 플립플롭의 출력단자를 선택적으로 연결시키는 온/오프동작을 수행하되, 상기 피드백전압이 증가하더라도 상기 제2 정전류원으로부터 공급되는 전류량 조절에 의해 상기 제1 전압이 발생되도록 하는 제1 스위치; 및

상기 트랜지스터의 온/오프상태, 상기 제1 스위치의 온/오프동작에 의해 상기 제1 전압 또는 제2 전압이 인가되는 접점 양쪽에 배치되는 제1 저항기 및 제2 저항기를 포함하는 것을 특징으로 하는 스위칭 파워서플라이의 제어모듈회로.

【청구항 3】

제2항에 있어서,

상기 제1 저항기의 양단은 상기 트랜지스터의 컬렉터단자와 상기 접점에 연결되고 상기 제2 저항기의 양단은 상기 접점과 접지단자 사이에 연결되는 것을 특징으로 하는 스위칭 파워서플라이의 제어모듈회로.

【청구항 4】

제3항에 있어서,

상기 피드백전압이 인가되는 단자와 상기 트랜지스터의 컬렉터단자 사이에 순차적으로 배치된 제1 다이오드 및 제2 다이오드를 더 구비하되, 상기 제1 다이오드의 캐소드 및 애노드는 상기 피드백전압이 인가되는 단자 및 상기 제2 다이오드의 애노드에 각각 연결되고, 상기 제2 다이오드의 캐소드는 상기 트랜지스터의 컬렉터단자에 연결되는 것을 특징으로 하는 스위칭 파워서플라이의 제어모듈회로.

【청구항 5】

제4항에 있어서,

상기 제1 전류원과 상기 제2 다이오드 및 제2 다이오드 사이의 접점, 또는 상기 제1 전류원과 상기 RS플립플롭의 출력단자를 선택적으로 연결시키기 위한 제2 스위치; 및

상기 제1 전류원과 상기 피드백전압이 인가되는 단자 및 상기 제1 다이오드 사이의 접점, 또는 상기 제1 전류원과 상기 RS플립플롭의 출력단자를 선택적으로 연결시키기 위한 제3 스위치를 더 구비하는 것을 특징으로 하는 스위칭 파워서플라이의 제어모듈회로.

【청구항 6】

제1항에 있어서, 상기 스위칭제어신호발생수단은,

상기 전압설정수단에 의해 설정된 제1 전압 또는 제2 전압을 반전단자로 입력받고, 상기 스위칭소자를 흐르는 전류에 대응되는 감지전압을 비반전단자에 입력받는 제3 비교기;

상기 제3 비교기의 출력에 따라 상기 스위칭소자의 온/오프 제어신호를 발생시키는 게이트드라이버; 및

상기 게이트드라이버로 상기 스위칭소자의 스위칭듀티를 결정하는 제어신호를 공급하는 오실레이터를 포함하는 것을 특징으로 하는 스위칭 파워서플라이의 제어모듈회로.

【청구항 7】

정상동작모드와 대기모드를 가지며, 출력전압에 반비례하는 피드백전압을 통해 스위칭소자의 스위칭동작을 제어하는 스위칭 파워서플라이의 제어모듈회로에 있어서,

소정의 제1 제어신호에 의해 상기 피드백전압이 비례하는 제1 전압을 공급하는 제1 전압공급수단;

소정의 제2 제어신호에 의해 일정한 크기의 제2 전압을 공급하는 제2 전압공급수단;

상기 피드백전압의 크기에 따라 상기 제1 전압 및 제2 전압 중 어느 하나를 발생시키거나 또는 어느 하나도 발생시키지 않도록 상기 제1 제어신호 및 제2 제어신호를 발생시키는 제어신호발생수단;

상기 제1 전압 및 제2 전압 중 어느 하나를 입력받아 출력시키거나 또는 어느 신호도 입력받지 않아 출력신호를 발생시키지 않는 선택기; 및

상기 선택기로부터의 출력신호에 의해 스위칭 파워서플라이의 스위칭트랜지

스터의 스위칭제어신호를 발생시키는 스위칭제어신호발생수단을 구비하는 것을 특징으로 하는 스위칭 파워서플라이의 제어모듈회로.

【청구항 8】

제7항에 있어서, 상기 제1 전압공급수단은,

제1 정전류원;

상기 정전류원과 상기 피드백전압 입력단자 사이에 배치되되, 상기 정전류원으로부터 상기 피드백전압 입력단자를 향해 순방향으로 배치되는 제1 다이오드;

상기 제1 다이오드와 반대방향으로 배치되는 제2 다이오드;

상기 제2 다이오드의 애노드와 연결된 베이스단자와 출력단자로서 상기 선택기에 연결되는 에미터단자를 갖는 제1 트랜지스터; 및

상기 제1 제어신호를 입력받는 베이스단자, 상기 제1 트랜지스터의 에미터단자와 직접 연결되는 컬렉터단자, 그리고 접지단자에 연결되는 에미터단자를 갖는 제2 트랜지스터를 포함하는 것을 특징으로 하는 스위칭 파워서플라이의 제어모듈회로.

【청구항 9】

제7항에 있어서, 상기 제2 전압공급수단은,

제2 정전류원;

상기 정전류원과 연결된 베이스단자와 출력단자로서 상기 선택기에 연결되는 에미터단자를 갖는 제3 트랜지스터; 및

상기 제2 제어신호를 입력받는 베이스단자, 상기 제2 트랜지스터의 에미터단자와 직접 연결되는 컬렉터단자, 그리고 접지단자에 연결되는 에미터단자를 갖는 제4 트랜지스터를 포함하는 것을 특징으로 하는 스위칭 파워서플라이의 제어모듈회로.

【청구항 10】

제7항에 있어서,

상기 제어신호발생수단은, 상기 피드백전압이 제1 피드백기준전압보다 작은 경우 버스트전류제한모드로의 동작이 수행되도록 상기 제1 및 제2 제어신호를 발생시키고, 상기 피드백전압이 상기 제1 피드백기준전압보다 작은 제2 피드백기준전압보다도 더 작아지는 경우 스위칭동작이 수행되지 않도록 상기 제1 및 제2 제어신호를 발생시키는 것을 특징으로 하는 스위칭 파워서플라이의 제어모듈회로.

【청구항 11】

제10항에 있어서, 상기 제어신호발생수단은,

상기 피드백전압을 비반전단자로 입력받고 상기 제1 피드백기준전압을 반전단자로 입력받는 연산증폭기로 이루어진 제1 비교기;

상기 피드백전압을 반전단자로 입력받고 상기 제2 피드백기준전압을 비반전단자로 입력받는 연산증폭기로 이루어진 제2 비교기;

상기 제1 비교기의 출력을 반전하고 그 결과를 상기 제1 제어신호로서 공급하는 인버터;

상기 제1 비교기의 출력 및 상기 제2 비교기의 출력을 각각 S단자 및 R단자로 입력받고 출력단자로 출력신호를 발생시키는 RS플립플롭; 및

상기 제1 비교기의 출력신호와 상기 RS플립플롭의 출력신호를 입력받아 OR연산을 수행한 후 그 결과를 상기 제2 제어신호로서 공급하는 OR게이트를 구비하는 것을 특징으로 하는 스위칭 파워서플라이의 제어모듈회로.

【청구항 12】

제7항에 있어서,

상기 선택기는, 상기 제1 전압이 입력되는 베이스단자를 구비하는 제5 트랜지스터 및 상기 제2 전압이 입력되는 베이스단자를 구비하는 제6 트랜지스터를 포함하며, 상기 제5 트랜지스터 및 제6 트랜지스터의 에미터단자는 공통으로 연결되어 상기 스위칭 제어신호발생수단으로의 출력단자로 사용되는 것을 특징으로 하는 스위칭 파워서플라이의 제어모듈회로.

【청구항 13】

제7항에 있어서, 상기 스위칭 제어신호발생수단은,

상기 선택기로부터의 출력신호를 반전단자로 입력받고, 상기 스위칭소자를 흐르는 전류에 대응되는 감지전압을 비반전단자에 입력받는 제3 비교기;

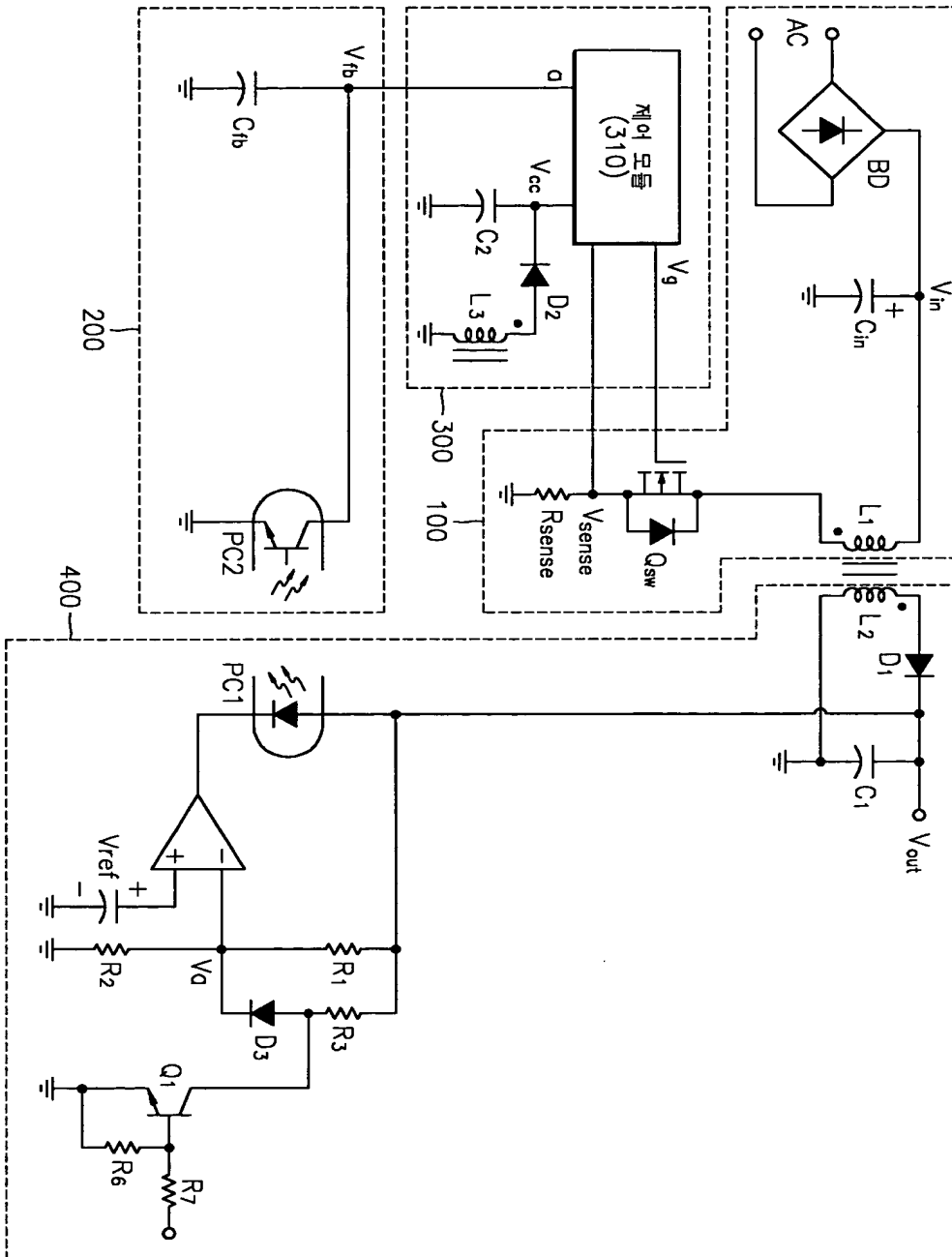
상기 제3 비교기의 출력에 따라 상기 스위칭소자의 온/오프 제어신호를 발생시키는 게이트드라이버; 및

상기 게이트드라이버로 상기 스위칭소자의 스위칭듀티를 결정하는 제어신호

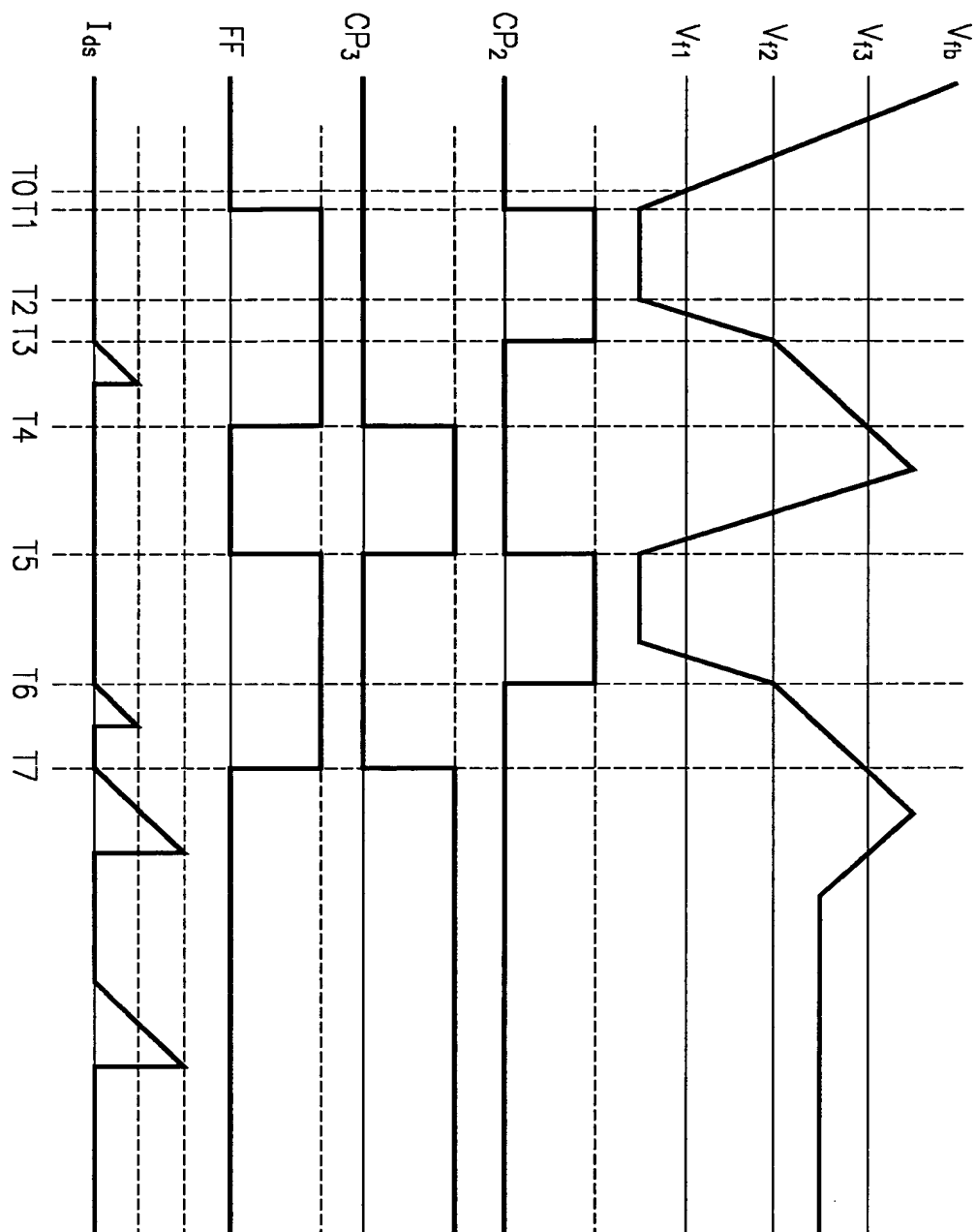
를 공급하는 오실레이터를 포함하는 것을 특징으로 하는 스위칭 파워서플라이의 제어 모듈 회로.

【도면】

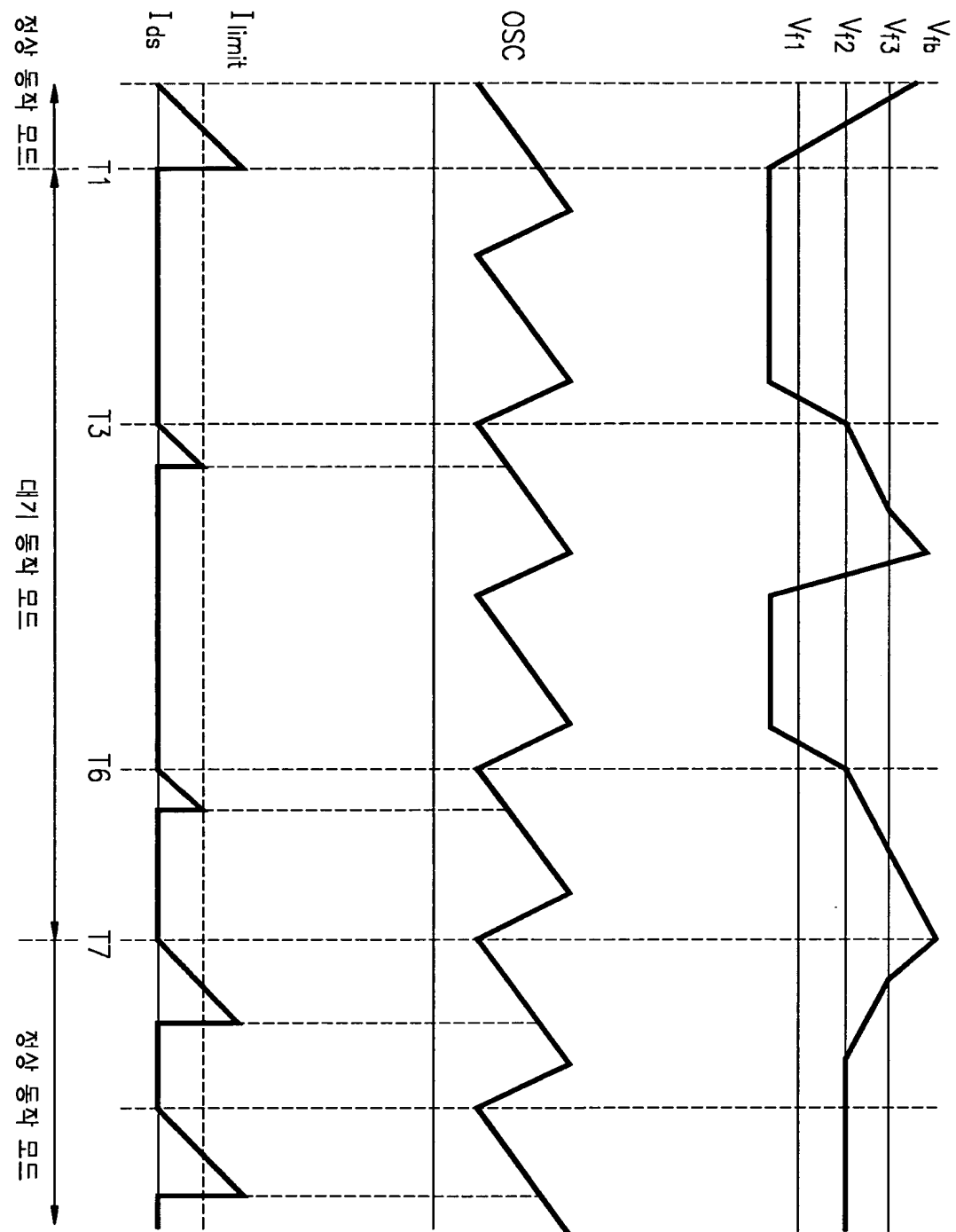
【도 1】



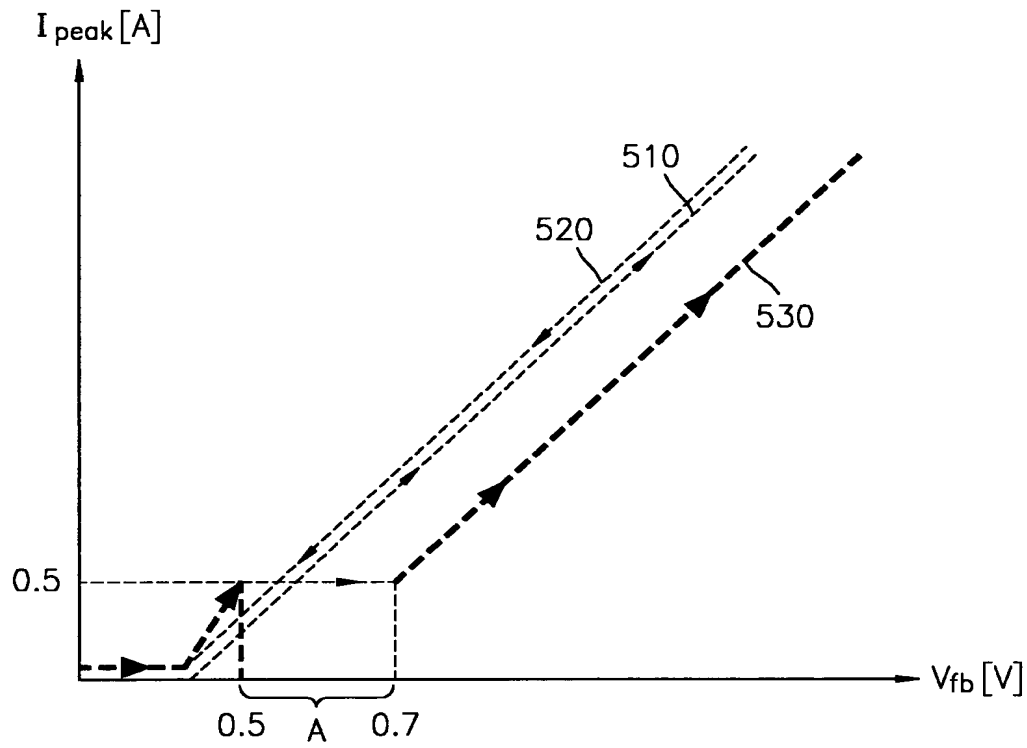
【3】



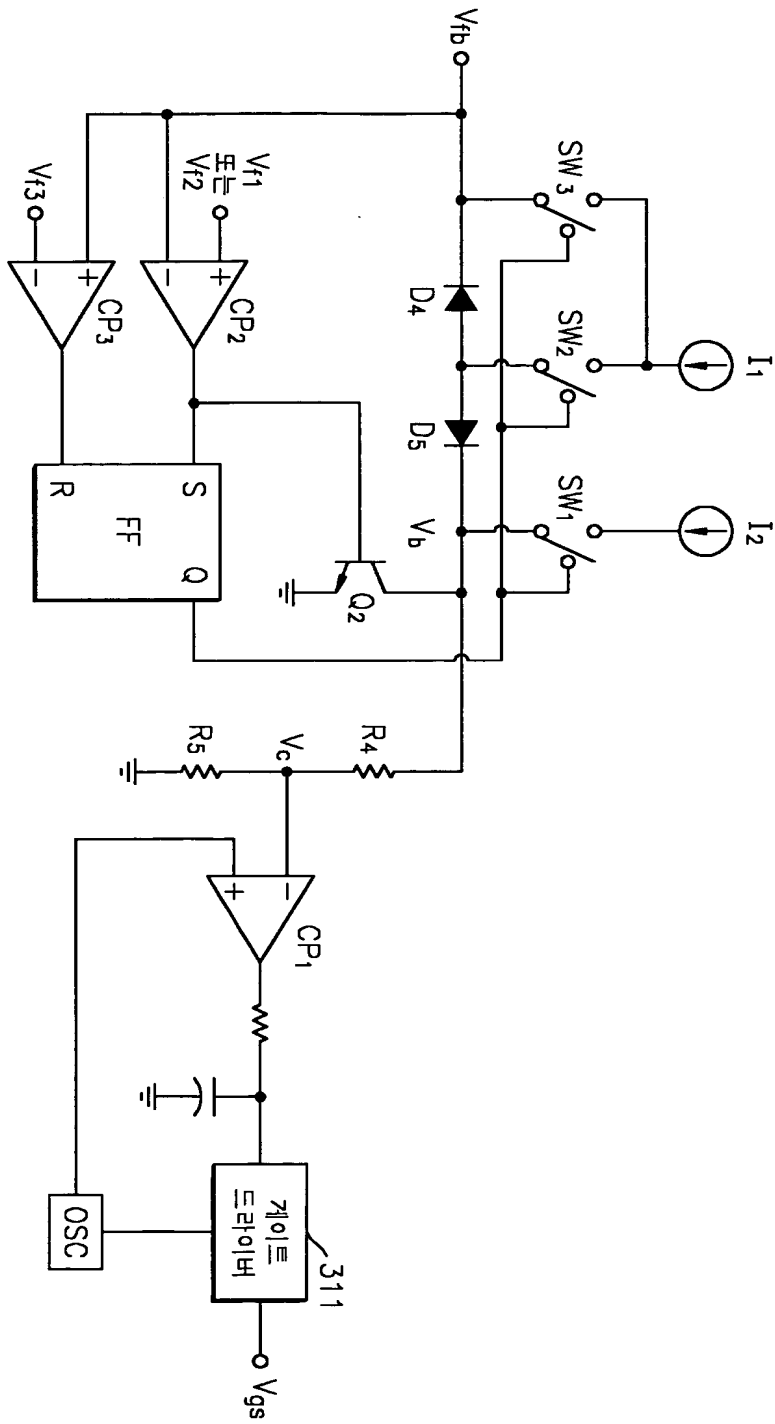
【표 4】



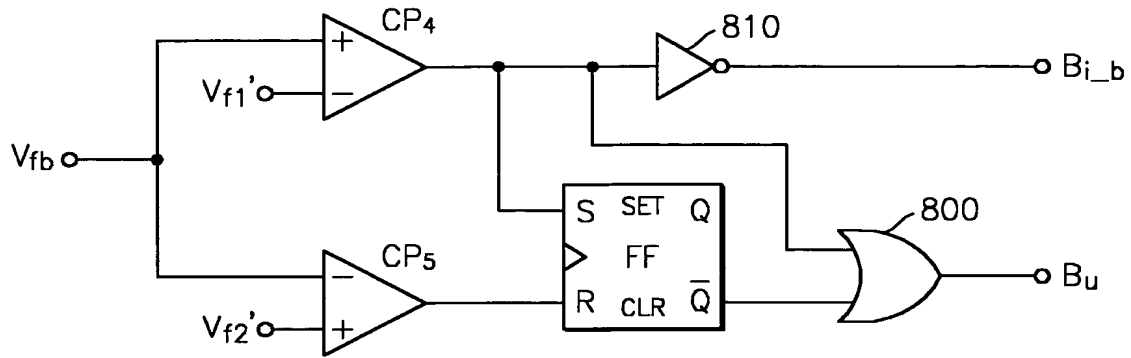
【도 5】



【 5 6 】



【도 8】



【도 9】

